

JP2001077108 A

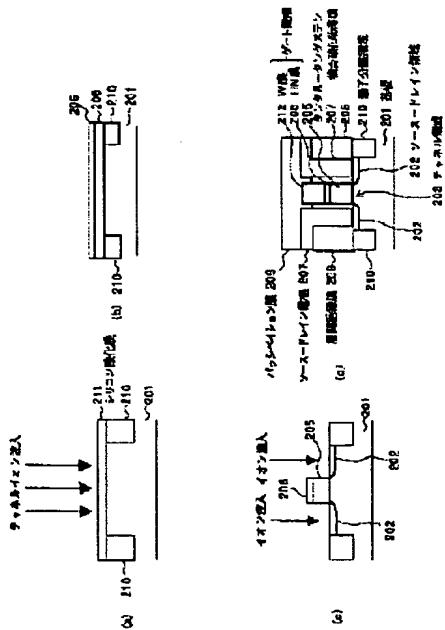
**SEMICONDUCTOR DEVICE AND MANUFACTURE OF COMPOSITE OXIDE
THIN FILM
NEC CORP**

Inventor(s):MABE KENZO

**Application No. 11245491 JP11245491 JP, Filed 19990831,A1 Published
20010323Published 20010323**

Abstract: PROBLEM TO BE SOLVED: To make a semiconductor device satisfy the gate insulation film of a semiconductor transistor of a specific gate length and the capacitance insulation film of a specific semiconductor memory by incorporating a tantalum-tungsten composite oxide crystalline thin film to an insulation film.

SOLUTION: A groove is formed on a substrate 201 and a trench isolation region 210 is formed by burying an insulation film in the groove. After a silicon oxide film 211 is deposited, a p-type channel impurity layer is formed through channel ion implantation for activation. The silicon oxide film 211 is peeled by hydrofluoric acid, a tantalum-tungsten composite oxide thin film 205 is formed without heating the substrate 201 by using a reactive sputtering method, and TiN 206 is formed on the tantalum-tungsten composite oxide thin film 205. As a result, it is possible to satisfy the gate insulation film of a semiconductor transistor of a gate length of 0.05 μm and the capacitance insulation film of a semiconductor memory of a gate length of 0.13 μm .



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-77108

(P2001-77108A)

(43)公開日 平成13年3月23日(2001.3.23.)

(51)Int.Cl.⁷
H 01 L 21/316

識別記号

F I
H 01 L 21/316

テマコード(参考)
X 4 G 0 4 8
M 4 M 1 0 4
P 5 F 0 4 0
S 5 F 0 4 5
T 5 F 0 5 8

審査請求 有 請求項の数15 O L (全 25 頁) 最終頁に続く

(21)出願番号 特願平11-245491

(22)出願日 平成11年8月31日(1999.8.31)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 間部 謙三

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100088328

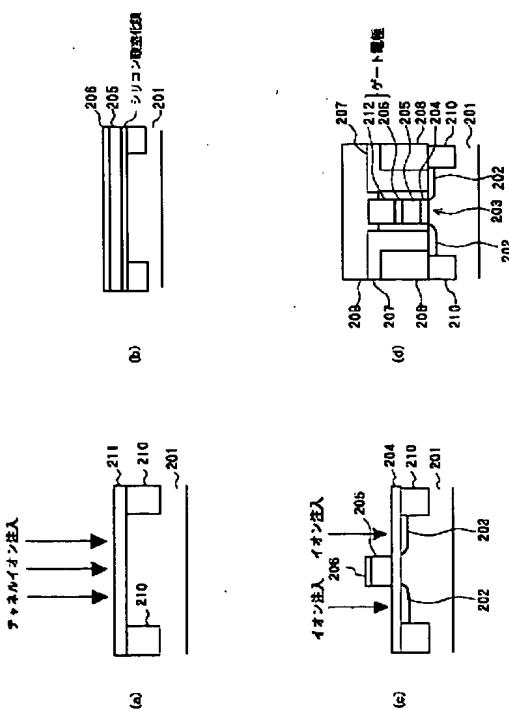
弁理士 金田 嘉之 (外2名)

(54)【発明の名称】 半導体装置及び複合酸化物薄膜の製造方法

(57)【要約】

【課題】 ゲート長0.05μm世代の半導体トランジ
スタのゲート絶縁膜及びゲート長0.13μm世代の半
導体メモリの容量絶縁膜等に用いて好適な複合酸化物結
晶薄膜を含む半導体装置、及び複合酸化物薄膜の製造方
法を提供する。

【解決手段】 半導体装置に、タンタルータングステン複合酸化物結晶薄膜、タンタルーモリブデン複合酸化物結晶薄膜、またはそれらにシリコン酸化膜、シリコン酸窒化膜、シリコン窒化膜のいずれかを積層した積層膜からなる絶縁膜を用いる。タンタルータングステン複合酸化物薄膜は、混合されたタンタルを含む第1の原料ガス、タングステンを含む第2の原料ガス、及び酸化剤の雰囲気中で基板上に成膜する。タンタルータングステン複合酸化物結晶薄膜及びタンタルーモリブデン複合酸化物結晶薄膜の高誘電率化のために(001)配向のRu基板上に複合酸化物結晶薄膜を成膜し、N₂Oプラズマ中で熱処理し、急速熱窒化する。



【特許請求の範囲】

【請求項1】 絶縁膜にタンタルタングステン複合酸化物結晶薄膜を含む半導体装置。

【請求項2】 前記タンタルタングステン複合酸化物結晶薄膜は、

金属原子の18.5%以下がタングステン原子である請求項1記載の半導体装置

【請求項3】 前記タンタルタングステン複合酸化物結晶薄膜は、

金属原子の0.17%以上15.5%以下がタングステン原子である請求項1記載の半導体装置。

【請求項4】 前記タンタルタングステン複合酸化物結晶薄膜は、

金属原子の8.3%以上13.1%以下がタングステン原子である請求項1記載の半導体装置。

【請求項5】 前記タンタルタングステン複合酸化物結晶薄膜に接する電極の少なくとも一方が、

貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも1つを含む請求項1乃至4のいずれか1項記載の半導体装置。

【請求項6】 前記タンタルタングステン複合酸化物結晶薄膜に接する電極の少なくとも一方が、

貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも2つを重ねた層構造である請求項1乃至4のいずれか1項記載の半導体装置。

【請求項7】 絶縁膜にタンタルモリブデン複合酸化物結晶薄膜を含む半導体装置。

【請求項8】 前記タンタルモリブデン複合酸化物結晶薄膜は、

金属原子の2%以下がモリブデン原子である請求項7記載の半導体装置

【請求項9】 前記タンタルモリブデン複合酸化物結晶薄膜に接する電極の少なくとも一方が、

貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも1つを含む請求項7または8記載の半導体装置。

【請求項10】 前記タンタルモリブデン複合酸化物結晶薄膜に接する電極の少なくとも一方が、

貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも2つを重ねた層構造である請求項7または8記載の半導体装置。

【請求項11】 前記絶縁膜は、

シリコン酸化膜、シリコン酸窒化膜、またはシリコン窒

化膜の少なくとも1つを含む積層膜からなる請求項1乃至10のいずれか1項記載の半導体装置。

【請求項12】 複合酸化物薄膜であるタンタルタングステン複合酸化物薄膜を気相成長法で形成するための複合酸化物薄膜の製造方法であって、

タンタルを含む第1の原料ガス、タングステンを含む第2の原料ガス、及び酸化剤を混合し、

基板上に前記タンタルタングステン複合酸化物薄膜を成膜させる複合酸化物薄膜の製造方法。

【請求項13】 前記酸化剤は、

二酸化窒素ガスを含む酸化ガスである請求項12項記載の複合酸化物薄膜の製造方法。

【請求項14】 複合酸化物薄膜であるタンタルタングステン複合酸化物結晶薄膜を形成するための複合酸化物薄膜の製造方法であって、

前記タンタルタングステン複合酸化物薄膜を基板上に成膜し、

該基板をN₂Oプラズマ中で熱処理した後、急速熱窒化を行う複合酸化物薄膜の製造方法。

【請求項15】 複合酸化物薄膜であるタンタルモリブデン複合酸化物結晶薄膜を形成するための複合酸化物薄膜の製造方法であって、

前記タンタルモリブデン複合酸化物薄膜を基板上に成膜し、

該基板をN₂Oプラズマ中で熱処理した後、急速熱窒化を行う複合酸化物薄膜の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、良好な絶縁特性を有する複合酸化物結晶薄膜を絶縁膜として用いる半導体装置及びその複合酸化物薄膜の製造方法に関する。

【0002】

【従来の技術】 近年、半導体デバイスのさらなる高集積化・高性能化・省消費電力化を実現するために、絶縁膜による低リーク電流を維持つつ、シリコン酸化膜換算膜厚t_{ox}を薄くする試みがなされている。シリコン酸化膜換算膜厚t_{ox}とは、比誘電率ε、実膜厚tの薄膜の厚さを、比誘電率ε_{SiO}のシリコン酸化膜の厚さに換算した値であり、

$$t_{ox} = \epsilon_{SiO} t / \epsilon$$

で定義される。

【0003】 例えば、ゲート長が0.05μm世代の半導体トランジスタのゲート絶縁膜には、1nm以下のシリコン酸化膜換算膜厚t_{ox}、及びゲート電圧1.2V時で10⁻⁶A/cm²以下のリーク電流密度が要求される。

【0004】 また、ゲート長が0.13μm世代の半導体メモリの容量絶縁膜には、0.3nm以下のシリコン酸化膜換算膜厚t_{ox}、及び印加電圧1.2V時で10⁻⁸A/cm²以下のリーク電流密度が要求される。

【0005】従来、半導体トランジスタのゲート絶縁膜や半導体メモリの容量絶縁膜にはシリコン酸化膜が使用されてきたが、膜厚1nm以下のシリコン酸化膜は、電圧1V印加時で直接トンネル電流だけでも $10\text{ A}/\text{cm}^2$ を超てしまうため、これら次世代の半導体トランジスタや半導体メモリに使用することはできない。そこで、高誘電率を有する金属酸化物を絶縁膜として用いることが検討されている。例えば、アモルファス五酸化タンタル(Ta_2O_5)は、比較的高い比誘電率(25~26)で高い絶縁性を有することから、上記ゲート絶縁膜や容量絶縁膜への適用が試みられている。しかしながら、アモルファス Ta_2O_5 は、シリコン酸化膜換算膜厚 t_{ox} で1nm(実膜厚6.5nm)の試料に1.2Vの電圧を印加すると、リーク電流密度が $10^{-4}\sim 10^{-3}\text{ A}/\text{cm}^2$ になるため、上述したゲート絶縁膜や容量絶縁膜に求められる性能を満足しない。

【0006】すなわち、アモルファス Ta_2O_5 をゲート絶縁膜や容量絶縁膜に用いるためには、絶縁性能を維持しつつ比誘電率を向上させるか、高誘電率を維持しつつ絶縁性能を向上させるか、あるいは絶縁性能・比誘電率を共に向上させる必要がある。

【0007】

【発明が解決しようとする課題】上記アモルファス Ta_2O_5 の比誘電率を向上させる方法として、例えば、結晶化が試みられ、 $\beta-\text{Ta}_2\text{O}_5$ への結晶化によりアモルファス Ta_2O_5 の1.4倍の比誘電率($\epsilon=3.5$)が得られている。しかしながら、結晶化された Ta_2O_5 のリーク電流密度は同一電界時でアモルファス Ta_2O_5 の10⁵倍となるため、単なる結晶化では上記要求を満足させることはできない。

【0008】結晶化された Ta_2O_5 の比誘電率を向上させる方法として、例えば、アプライド・フィジックス・レター74巻2370頁(Applied Physics Letter, Vol. 74 (1999), P. 2370)には、Ru基板上に(001)配向の $\beta-\text{Ta}_2\text{O}_5$ を堆積することで比誘電率を向上させる方法が記載され、 $\beta-\text{Ta}_2\text{O}_5$ を(001)配向のRu上に成膜し、N₂Oプラズマ中で350°C、3分間の熱処理を行い、更に800°C、1分のRTN(Rapid Thermal Nitration)で熱処理を行うことで、(001)配向で比誘電率が100以上の $\beta-\text{Ta}_2\text{O}_5$ が得られることが記載されている。

【0009】しかしながら、上述した結晶化によるリーク電流劣化があるため、印加電圧1V時のリーク電流密度を $10^{-8}\text{ A}/\text{cm}^2$ 以下にするには、 $\beta-\text{Ta}_2\text{O}_5$ の膜厚をシリコン酸化膜換算膜厚で0.85nm以上にする必要がある。

【0010】一方、アモルファス Ta_2O_5 の絶縁性能を向上させる方法として、例えば、アモルファス Ta_2O_5 に、酸化タンガステン(WO₃)、または酸化イットリウム(Y₂O₃)を添加する試みが報告されている。ジャ

ーナル・オブ・アプライド・フィジックス75巻2538頁(Journal of Applied Physics, Vol. 75(1994), P. 2538)、及びマテリアルズ・リサーチ・ソサイエティ・シンポジウム・プロシードィングズ378巻1025頁(Materials Research Society Symposium Proceedings, Vol. 378(1995), P. 1025)によれば、アモルファス Ta_2O_5 に、WO₃を2~6原子%、またはY₂O₃を10~30原子%添加すれば、リーク電流がアモルファス Ta_2O_5 に比べて大幅に向ふることが報告されている。

【0011】しかしながら、添加物量がリーク低減に効果がある範囲内のときに比誘電率がアモルファス Ta_2O_5 に比べて低下するため、シリコン酸化膜換算膜厚0.5nmに対応する実膜厚が2.4nm程度となり、電圧1.2V印加時の金属酸化物に加わる電界は5MV/cm程度となる。このときのアモルファス Ta_2O_5 -WO₃、 Ta_2O_5 -Y₂O₃のリーク電流密度はトンネル電流のために $10^{-6}\text{ A}/\text{cm}^2$ 以上となってしまうため、必要とされる絶縁特性を満たさない。

【0012】上述したように Ta_2O_5 の比誘電率及び絶縁性能を向上させる試みは現在までのところすべて失敗に終わっている。また、 Ta_2O_5 以外の高誘電体でも必要とされる絶縁特性を満足していない。例えば、BST膜のシリコン酸化膜換算膜厚を0.3nm以下とするためには実膜厚を20nm以下としなくてはならないが、BST膜の薄膜化は絶縁特性の劣化を招いてしまう。例えば、1999年春季第46回応用物理学連合講演会講演予稿集No. 2、883頁、30p-ZS-13によれば、BST膜の実膜厚を20nmとしたとき、リーク電流密度は $10^{-6}\text{ A}/\text{cm}^2$ 以上になることが記載されている。

【0013】以上説明したように、ゲート長0.05μm世代の半導体トランジスタのゲート絶縁膜、及びゲート長0.13μm世代の半導体メモリの容量絶縁膜に要求される絶縁性能、比誘電率を満足する金属酸化物は現在までのところ存在しない。本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、ゲート長0.05μm世代の半導体トランジスタのゲート絶縁膜、及びゲート長0.13μm世代の半導体メモリの容量絶縁膜等に用いて好適な複合酸化物結晶薄膜を含む半導体装置、及びその複合酸化物薄膜の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため本発明の半導体装置は、絶縁膜にタンタル-タンガステン複合酸化物結晶薄膜を含むものである。

【0015】このとき、前記タンタル-タンガステン複合酸化物結晶薄膜は、金属原子の18.5%以下がタンガステン原子であり、金属原子の0.17%以上15.5%以下がタンガステン原子であることが好ましく、金

属原子の8.3%以上13.1%以下がタングステン原子であることがより好ましい。

【0016】また、前記タンタルータングステン複合酸化物結晶薄膜に接する電極の少なくとも一方が、貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも1つを含んでいてもよく、前記タンタルータングステン複合酸化物結晶薄膜に接する電極の少なくとも一方が、貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも2つを重ねた層構造であってもよい。

【0017】また、本発明の他の半導体装置は、絶縁膜にタンタルーモリブデン複合酸化物結晶薄膜を含むものである。

【0018】このとき、前記タンタルーモリブデン複合酸化物結晶薄膜は、金属原子の2%以下がモリブデン原子である。

【0019】また、前記タンタルーモリブデン複合酸化物結晶薄膜に接する電極の少なくとも一方が、貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも1つを含んでいてもよく、前記タンタルーモリブデン複合酸化物結晶薄膜に接する電極の少なくとも一方が、貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃の少なくとも2つを重ねた層構造であってもよい。

【0020】なお、前記絶縁膜は、シリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜の少なくとも1つを含む積層膜からなるものであってもよい。

【0021】一方、本発明の複合酸化物薄膜の製造方法は、複合酸化物薄膜であるタンタルータングステン複合酸化物薄膜を気相成長法で形成するための複合酸化物薄膜の製造方法であって、タンタルを含む第1の原料ガス、タングステンを含む第2の原料ガス、及び酸化剤を混合し、基板上に前記タンタルータングステン複合酸化物薄膜を成膜させる方法である。

【0022】このとき、前記酸化剤は、二酸化窒素ガスを含む酸化ガスであってもよい。

【0023】また、本発明の複合酸化物薄膜の他の製造方法は、複合酸化物薄膜であるタンタルータングステン複合酸化物結晶薄膜を形成するための複合酸化物薄膜の製造方法であって、前記タンタルータングステン複合酸化物薄膜を基板上に成膜し、該基板をN₂Oプラズマ中に熱処理した後、急速熱窒化を行う方法であり、複合酸化物薄膜であるタンタルーモリブデン複合酸化物結晶薄膜を形成するための複合酸化物薄膜の製造方法であつ

て、前記タンタルーモリブデン複合酸化物薄膜を基板上に成膜し、該基板をN₂Oプラズマ中に熱処理した後、急速熱窒化を行う方法である。

【0024】[作用]

(複合酸化物結晶xTa₂O₅-yWO₃、xTa₂O₅-yMoO₃の物性) 発明者は、Ta₂O₅とWO₃の複合酸化物結晶xTa₂O₅-yWO₃において、タングステン(W)量が18.5原子%以下のときに、基板に関らずにTa₂O₅結晶に比べて比誘電率が増大し、かつ絶縁性が増大することを発見した。特に、上記複合酸化物結晶の金属原子中のタングステン量を0.17%以上15.5%以下にしたときにリーク電流密度がTa₂O₅結晶に比べて約10⁻⁵倍以下になり、さらに上記複合酸化物結晶中の金属原子中のタングステン量を8.3%以上13.1%以下にすると、リーク電流密度がTa₂O₅結晶に比べて約10⁻⁶倍以下に低減することを見出した。

【0025】よって、金属原子中のタングステン量が0.17%以上15.5%以下のタンタルータングステン複合酸化物薄膜結晶をゲート絶縁膜として用いれば、ゲート長0.05μm世代の半導体トランジスタのゲート絶縁膜に要求される絶縁特性(シリコン酸化膜換算膜厚0.5nmの膜厚において1.2V印加時のリーク電流密度が10⁻⁶A/cm²以下)を満たすことが可能であり、半導体トランジスタのさらなる高集積化、高性能化を実現できる。

【0026】なお、プロセスマージンを考慮すれば、上記複合酸化物結晶中の金属原子中のタングステン量を8.3%以上13.1%以下にすることが好ましい。

【0027】また、発明者は、Ta₂O₅とMoO₃の複合酸化物結晶xTa₂O₅-yMoO₃において、モリブデン(Mo)量が一定値(およそ2%)以下のときに、基板に関らずTa₂O₅結晶に比べて比誘電率の低下を伴わずに絶縁性能が向上することを発見した。

【0028】Ta₂O₅とWO₃の複合酸化物結晶xTa₂O₅-yWO₃、あるいはTa₂O₅とMoO₃の複合酸化物結晶xTa₂O₅-yMoO₃において、タングステンまたはモリブデンが一定値以下である場合にTa₂O₅結晶に比べて絶縁性が増大する理由、すなわちリーク電流密度が低減する理由は、タングステンまたはモリブデンの存在によって膜中の酸素欠損がTa₂O₅結晶に比べて減少しているためであると考えられる。

【0029】アプライド・フィジックス・レター66巻2209ページ(Applied Physics Letter, Vol. 66 (1995), P. 2209)によれば、β-Ta₂O₅薄膜におけるリーク電流の主原因は膜中の酸素空孔であるとされている。

【0030】このことから、Ta₂O₅結晶にWO₃またはMoO₃を添加することでリーク電流が低減した理由は、6配位時イオン半径がTa₅⁺イオン半径0.064nmより小さなW₆⁺(イオン半径0.060nm)、またはMo₆⁺(イオン半径0.059nm)がTaサ

イトに置換したために結晶内の歪みが緩和され、結晶化時の酸素空孔の形成が抑制されたためと推測できる。

【0031】また、 Ta_2O_5 と WO_3 の複合酸化物結晶 $xTa_2O_5-yWO_3$ において、タンゲステン量が一定値を超えると Ta_2O_5 に比べて絶縁性が劣化する理由は、抵抗率の低い結晶化した WO_3 ($\gamma-WO_3$)が粒界などに偏析すること、あるいはタンタルサイトに置換したタンゲステンがドナーとして働くためであると考えられる。

【0032】ジャーナル・オブ・フィジカル・ソサイエティ・オブ・ジャパン11巻1237ページ(Journal of Physical Society of Japan, Vol. 11 (1956), P. 1237)によれば、バルク構造の $\gamma-WO_3$ の抵抗率は $1\text{K}\Omega\text{cm}$ であることが報告されている。

【0033】 Ta_2O_5 と WO_3 の複合酸化物結晶 $xTa_2O_5-yWO_3$ において、 Ta_2O_5 結晶に比べて比誘電率が増大するのは、次のように推測できる。

【0034】高誘電率を持つ金属酸化物の誘電率の大部分はイオン分極である。イオン分極は原子の配列の仕方、すなわち結晶性に起因しているため、高いイオン分極が実現されるためには良好な結晶性が必要である。 Ta_2O_5 結晶の一部のタンタル周りの酸素配位と、結晶化した WO_3 ($\gamma-WO_3$)におけるタンゲステン周りの酸素の配位が同じ6配位であること、6配位時のイオン半径が Ta_5+ イオン半径 0.064nm 、 W_6+ イオン半径 0.060nm と近いために結晶性が良好に保たれると考えられる。

【0035】また、ジャーナル・オブ・ソリッド・ステート・ケミストリー15巻24ページ(Journal of Solid State Chemistry, Vol. 15 (1975), P. 24)によれば、 $\gamma-WO_3$ はバルクにおいて比誘電率が2000であることが知られている。

【0036】以上により、 Ta_2O_5 結晶と WO_3 の複合酸化物結晶 $xTa_2O_5-yWO_3$ の比誘電率が Ta_2O_5 結晶に比べて増大するものと考えられる。

【0037】なお、本発明で用いる複合酸化物結晶 $xTa_2O_5-yWO_3$ とアモルファス $xTa_2O_5-yWO_3$ は次の点で大きく異なっており、まったく別の絶縁材料である。すなわち、アモルファス $xTa_2O_5-yWO_3$ のリーク電流密度が低減するタンゲステンの添加範囲では比誘電率も低下する。一方、本発明の複合酸化物結晶 $xTa_2O_5-yWO_3$ は、リーク電流密度が低減するタンゲステンの添加範囲で比誘電率が向上する。

【0038】(複合酸化物結晶 $xTa_2O_5-yWO_3$ の製造方法) $xTa_2O_5-yWO_3$ を成膜する際に、タンタルを含む原料ガス、タンゲステンを含む原料ガス、及び酸化剤を用いて化学気相成長を行うと次のような効果が得られる。半導体装置の容量絶縁部は高集積化のために、微細なスタッカまたはトレーニチ構造を持つが、気相成長法を用いることで良好な段差被覆性を得ることが

可能であり、高集積化メモリが実現できる。また、高誘電体をゲート絶縁膜とするいわゆる $h_i g h - \epsilon$ ゲートトランジスタを作成する際には、チャネルと高誘電率膜との間に低誘電率層(シリコン酸化膜等)が形成されることを抑制するため、高誘電率層を低温で、しかも膜厚制御性良く堆積する必要がある。すなわち、低温で分解する原料ガスを用い、かつ低圧で気相成長を行えば上記二つの条件を満足できる。また、気相成長を行う際には、金属原子を十分に酸化させるために酸化力の強い二酸化窒素ガスを含む酸化ガスを用いることが望ましい。

【0039】(容量絶縁膜への適用) 半導体メモリ等の容量絶縁膜は、現在、結晶性を確保するために金属結晶薄膜または導電性の金属酸化物上に成膜される。発明者は、(001)配向の R_u 上にタンタル-タンゲステン複合酸化物結晶薄膜、またはタンタル-モリブデン複合酸化物結晶薄膜を成膜し、その後、 N_2O プラズマ中で熱処理を行い、急速熱窒化を行うことで比誘電率が100以上のタンタル-タンゲステン複合酸化物結晶薄膜、またはタンタル-モリブデン複合酸化物結晶薄膜が得られることを見出した。なお、以下に記載の「 β 相のタンタル-タンゲステン複合酸化物結晶薄膜、またはタンタル-モリブデン複合酸化物結晶薄膜」とはX線回折のピーク位置が β 相 $-Ta_2O_5$ とほぼ同じものであり、厳密な意味の酸化タンタルの β 相とは異なるが、ほぼ同一の結晶構造を有する結晶薄膜のことである。また、「 δ 相のタンタル-タンゲステン複合酸化物結晶薄膜、またはタンタル-モリブデン複合酸化物結晶薄膜」も同様の意味で用いている。

【0040】上記タンタル-タンゲステン複合酸化物結晶薄膜、及びタンタル-モリブデン複合酸化物結晶薄膜の高い比誘電率は、上記工程で得られるタンタル-タンゲステン複合酸化物結晶薄膜、またはタンタル-モリブデン複合酸化物結晶薄膜が、(001)配向の結晶性の高い膜であることに起因するものと推測される。特に、タンタル-タンゲステン複合酸化物結晶薄膜の金属原子中の 0.17% 以上 15.5% 以下がタンゲステン原子である場合、またはタンタル-モリブデン複合酸化物結晶薄膜の金属原子中の約1%がモリブデン原子である場合に、 Ta_2O_5 結晶に比較してリーク電流密度が約 10^{-5} 倍に低減した。これにより、従来の金属酸化物では実現されなかつたゲート長 $0.13\mu\text{m}$ 世代の半導体メモリの容量絶縁膜に要求される絶縁特性(シリコン酸化膜換算膜厚 0.3nm 以下でリーク電流密度が印加電圧 1.2V 時に $10^{-8}\text{A}/\text{cm}^2$ 以下)が達成される。

【0041】よって、タンタル-タンゲステン複合酸化物結晶薄膜、またはタンタル-モリブデン複合酸化物結晶薄膜を半導体メモリの容量絶縁膜に用いれば、ゲート長 $0.13\mu\text{m}$ 世代の半導体メモリが実現可能であり、DRAMの更なる高集積化を実現することができる。

【0042】なお、上記半導体メモリを作製する際に、

タンタルーダクタングステン複合酸化物結晶薄膜、またはタンタルーモリブデン複合酸化物結晶薄膜の上部電極として、貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃のいずれか、または上記各材料を複数層に形成した構造の電極を用いることで、従来のDRAMの動作速度と同等な動作速度を持つDRAMが作製可能である。

【0043】これは、複合酸化物結晶薄膜に接触することで発生する上部電極の酸化によって、複合酸化物結晶薄膜と上部電極の間に不要な高抵抗率層が形成されないためである。

【0044】(ゲート絶縁膜への適用) 金属原子中の0.17%以上15.5%以下がタンガスチン原子であるタンタルーダクタングステン複合酸化物結晶薄膜、または金属原子中の約1%がモリブデン原子であるタンタルーモリブデン複合酸化物結晶薄膜を格子整合しない結晶またはアモルファス上に成膜した場合、Ta₂O₅結晶に比べてその比誘電率が向上し(40以上)、リーク電流密度が約10⁻⁵倍に低減する。

【0045】よって、これら複合酸化物薄膜を半導体トランジスタのゲート絶縁膜として用いると、従来の金属酸化物では実現しなかったゲート長0.05μm世代の半導体トランジスタのゲート絶縁膜に要求される絶縁特性(シリコン酸化膜換算膜厚0.5nmの膜厚において1.2V印加時のリーク電流密度が10⁻⁶A/cm²以下)を満たすことが可能になり、半導体トランジスタの更なる高集積化を実現することができる。

【0046】また、上記複合酸化物結晶薄膜をゲート絶縁膜として用いる場合に、複合酸化物薄膜とチャネル(シリコン基板)との間にシリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜のいずれかを挿入すると、半導体トランジスタのしきい値が安定し、かつ半導体トランジスタの駆動能力が向上する。これはシリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜のいずれかを挿入することによりチャネル中への金属原子の拡散が抑えられたためである。

【0047】また、上記半導体トランジスタを作製する際に、タンタルーダクタングステン複合酸化物結晶薄膜、またはタンタルーモリブデン複合酸化物結晶薄膜の上部電極として、貴金属Ir、Pt、Os、Ru、Rh、高融点金属化合物TiN、導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃のいずれか、または前記各材料を複数層に形成した構造の電極を用いることで良好な特性を有する半導体トランジスタが得られる。

【0048】これは、複合酸化物結晶薄膜に接触することで発生する上部電極の酸化によって、複合酸化物結晶薄膜と上部電極の間に不要な高抵抗率層が形成されないためである。

【0049】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0050】(装置、成膜方法の説明) 本実施形態では、タンタルーダクタングステン複合酸化物結晶薄膜の堆積方法として、反応性スパッタ法、気相成長法(CVD: Chemical Vapor Deposition)、タンタル・ダクタングステン合金の熱酸化法、または陽極酸化法を使用する。

【0051】まず、反応性スパッタ法を用いた場合を例にして、タンタルーダクタングステン複合酸化物薄膜の成膜方法について説明する。なお、タンタルーモリブデン複合酸化物薄膜も同様の方法で堆積することができる。

【0052】反応性スパッタ法でタンタルーダクタングステン複合酸化物薄膜(または、タンタルーモリブデン複合酸化物薄膜)を成膜するためには、例えば、マグネットロニスパッタ装置を使用する。スパッタを行わないときのチャンバー内の圧力は5×10⁻⁵Paである。

【0053】成膜時にはアルゴン・酸素混合ガス(例えば、アルゴン/酸素分圧比: 90/10)をチャンバー内に供給し、チャンバー内圧を、例えば、6×10⁻¹Pa程度にする。ガス圧が安定したら、周波数13.56MHzの高周波をターゲットであるタンタルーダクタングステン複合酸化物焼結体(または、タンタルーモリブデン複合酸化物焼結体)と基板を載せたサセプター(ヒータ内臓)間に印加する。

【0054】ウェハ温度が650℃以下の場合、堆積されたタンタルーダクタングステン複合酸化物薄膜(またはタンタルーモリブデン複合酸化物薄膜)は非晶質であり、ウェハ温度が650℃を超えると、堆積されたタンタルーダクタングステン複合酸化物薄膜(またはタンタルーモリブデン複合酸化物薄膜)はβ相とδ相の混合相となる。

【0055】650℃以下で成膜されたタンタルーダクタングステン複合酸化物薄膜(またはタンタルーモリブデン複合酸化物薄膜)は、後述するアニール処理によってβ相とδ相の混合相となる。なお、結晶化した薄膜に対しても膜中の酸素欠損を補償するためアニール処理を行つてもよい。

【0056】次に、気相成長法を用いたタンタルーダクタングステン複合酸化物薄膜の堆積方法について説明する。

【0057】気相成長法によってタンタルーダクタングステン複合酸化物薄膜をシリコン基板、シリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜の上に成膜する場合、シリコン基板、シリコン酸化膜、シリコン酸窒化膜、またはシリコン窒化膜の酸化を抑制して低誘電率膜の形成を防ぐためには、低温で成膜する必要がある。そこで、気相成長法によりタンタルーダクタングステン複合酸化物を堆積する際の原料ガスとしては450度以下で成膜できるものが好ましい。そのような原料ガスとしては、タンタル原料として、ペンタジメチルアミノタンタル(Ta[N(CH₃)₂]₅)、ペンタエトキシタンタル

(Ta (OC₂H₅)₅)、塩化タンタル(TaCl₅)、またはフッ化タンタル(TaF₅)が挙げられる。また、タングステン原料としては、ヘキサジメチルアミノタングステン(W[N(CH₃)₂]₆)、ヘキサエトキシタングステン(W(OC₂H₅)₆)、塩化タングステン(WCl₆)、またはフッ化タングステン(WF₆)が挙げられる。

【0058】以下では、タンタル原料としてペントジメチルアミノタンタルを用い、タングステン原料としてヘキサジメチルアミノタングステンを用いた場合を例にして実際に試料を作製した例を説明するが、ペントエトキシタンタル、塩化タンタル、フッ化タンタル、ヘキサエトキシタングステン、塩化タングステンまたはフッ化タングステンを用いた場合でも、ほぼ同じ手順、条件でタンタルタングステン複合酸化物を成膜できる。特に、塩化タンタル、フッ化タンタル、塩化タングステン、またはフッ化タングステンを用いれば原料ガス中に炭素が存在しないため、ゲート絶縁膜としてタンタルタングステン複合酸化物を成膜するときにチャネルの炭素汚染を避けることができる。なお、酸化剤としては酸素、オゾン、二酸化窒素などが挙げられるが、原料ガスとして有機金属ガスを用いる場合は、酸化力の大きい二酸化窒素を用いることが好ましい。

【0059】次に、上記タンタルタングステン複合酸化物薄膜を形成するために用いる気相成長装置(CVD装置)について図1を用いて説明する。図1は本発明の半導体装置の製造方法で用いる気相成長装置の一構成例を示すブロック図である。

【0060】CVD装置は、試料処理室101と交換室102から構成され、交換室102には複数枚のウェハ107が収納可能である。試料処理室101と交換室102の間にはゲートバルブ104が設けられており、それぞれの部屋内のガスは複数のポンプにより構成される排気系134、135を介して排気される。また、試料処理室101と交換室102との間でウェハ107を移動させるためのウェハ搬送機構105が設けられている。

【0061】試料処理室101内で、ウェハ107はヒータを内蔵したサセプター106上に配置され、ウェハ107はサセプター106によって所定の温度に加熱される。また、ウェハ107の上部には、ウェハ上面に金属酸化物を形成するための金属材料ガス及び酸化ガスがガス供給系から導入される。

【0062】ガス供給系は、3種類の原料ガスを独立に試料処理室101に導入する第1のガス供給系150、第2のガス供給系160、及び第3のガス供給系170により構成される。各々のガス供給系は基本的に同じ構成であり、第1のガス供給系150は、原料シリンド113、ストップバルブ111、112、115、117、マスフローコントローラ114、及び排気系118

を有し、第2のガス供給系160は、原料シリンド121、ストップバルブ119、120、123、125、マスフローコントローラ122、及び排気系126を有している。また、第3のガス供給系170は、原料シリンド130、ストップバルブ127、129、131、マスフローコントローラ128、及び排気系132を有している。また、第1のガス供給系150、及び第2のガス供給系160には、キャリヤガスとして窒素ガスボンベ116、124が接続されている。

【0063】ペントエトキシタンタル及びヘキサジメチルアミノジタングステンは、蒸気圧がそれほど高くないため、キャリヤガスによるガス供給が可能な第1のガス供給系150、及び第2のガス供給系160より供給し、二酸化窒素は第3のガス供給系170より供給する。

【0064】原料シリンド113はペントエトキシタンタルの昇華温度80°Cに加熱され、原料シリンド121はヘキサジメチルアミノジタングステンの昇華温度120°Cに加熱される。また、マスフローコントローラ114、122、128、配管、及び試料処理室101の内壁は原料ガスの凝固を防ぐため150°Cに加熱されている。

【0065】本装置においては、各ガス供給系が独立であるため、金属材料ガスと酸化ガスが接触せず、配管一マスフローコントローラの詰まりを防止できるだけでなく、原料ガスを定量的かつ安定に供給することができる。

【0066】また、原料ガスが接触する部位は、すべてヒータにより金属材料ガスの沸点-昇華点以上で、かつ分解温度以下に加熱されている。これにより配管一マスフローコントローラの詰まりを防止できるだけでなく、原料ガスを定量的、かつ安定に供給することができる。特に、試料処理室101を加熱するとパーティクルを抑制する効果をもたらすため好ましい。

【0067】ウェハ107の下部を排気する配管は途中で二手に分かれ、排気系135の直前で再び合流する。分かれた配管の一方にはゲートバルブ108が設けられ、他方にはゲートバルブ109及び水冷トラップ110が設けられている。成膜時にゲートバルブ108は閉じられ、ゲートバルブ109が開かれる。このような構成にすれば、排気系135における金属材料ガスの固化や液化を防止することが可能であり、排気系135の寿命を延ばすことができる。

【0068】また、成膜していないときにはゲートバルブ108、109が共に開けられる。このような構成にすれば排気速度が高まり、より高真空が得られる。なお試料処理室101の内圧をモニタするため、試料処理室101には真空計133が設置されている。なお、成膜していないときの圧力は10⁻⁴Pa以下に保っておく。

【0069】次に、上記CVD装置を用いる場合のタン

タルータンクス滕複合酸化物の典型的な成膜条件について説明する。

【0070】ペントジメチルアミノタンタル、及びヘキサジメチルアミノジタンクス滕のキャリヤガス（窒素）流量を、所望の組成のタンタルタングス滕複合酸化物が得られるように調整し、さらに酸化剤の二酸化窒素を流してチャンバー内圧を50Pa程度とする。

【0071】基板温度は、タンタルタングス滕複合酸化物をゲート絶縁物として堆積する場合は350℃から450℃程度、容量絶縁膜として堆積する場合は350℃から700℃程度とする。

【0072】なお、CVD装置で成膜した場合も、ウェハ温度が650℃以下の場合は堆積されたタンタルタングス滕複合酸化物薄膜が非晶質であり、ウェハ温度が650℃を超える場合は堆積されたタンタルタングス滕複合酸化物薄膜が β 相と δ 相の混合相となる。650℃以下で堆積されたタンタルタングス滕複合酸化物薄膜は後述するアニール処理によって β 相と δ 相の混合相となる。また、結晶化した薄膜に対しても膜中の酸素欠損の補償、及び膜中の不純物の除去を目的として後述するアニール処理を行ってもよい。

【0073】次に、タンタル、タングス滕合金の熱酸化法を用いたタンタルタングス滕複合酸化物薄膜の堆積方法について説明する。

【0074】タンタル、タングス滕合金を熱酸化することでタンタルタングス滕複合酸化物を成膜する場合、まず、マグネットロンスパッタ装置、または図1に示したCVD装置でタンタル・タングス滕合金を堆積する。但し、スパッタによりタンタル・タングス滕合金を堆積する場合は、タンタルタングス滕複合酸化物ターゲットをタンタル・タングス滕合金に交換し、供給ガスを純粋なアルゴンガスにする。

【0075】また、CVD装置によりタンタル・タングス滕合金を堆積する場合は、タンタル原料ガスとして塩化タンタルまたはフッ化タンタル、タングス滕原料ガスとして塩化タングス滕またはフッ化タングス滕を用い、酸化剤の代わりに水素などの還元剤を供給する。

【0076】タンタル・タングス滕合金の厚さは、所望のタンタルタングス滕複合酸化物の厚さの4分の1とする。タンタル・タングス滕合金の酸化は、1気圧の酸素、酸素・オゾン混合気体、またはこれらの気体の組み合わせ雰囲気中で10分程度のアニール処理を行う。なお、このとき、化学的に活性な酸素ラジカルO(³P)、O(¹D)、活性酸素O₂(¹A)、またはオゾンが発生するように紫外線を照射してもよい。紫外線の典型的な照射条件は、波長185nmの紫外線を用いる場合で2.5mW/cm²、波長254nmの紫外線を用いる場合で20mW/cm²である。

【0077】アニール処理時のウェハ温度が650℃以

下の場合、タンタルタングス滕複合酸化物薄膜は非晶質であり、ウェハ温度が650℃を超える場合は堆積されたタンタルタングス滕複合酸化物薄膜が β 相と δ 相の混合相となる。650℃以下で堆積されたタンタルタングス滕複合酸化物薄膜は、後述するアニール処理によって β 相と δ 相の混合相になる。なお、結晶化した薄膜に対しても膜中の酸素欠損の補償及び膜中の不純物の除去を目的として後述するアニール処理を行ってもよい。

【0078】次に、陽極酸化法を用いたタンタルタングス滕複合酸化物薄膜の堆積方法について説明する。

【0079】陽極酸化法でタンタルタングス滕複合酸化物薄膜を堆積する場合、まず、タンタル・タングス滕合金を熱酸化する場合と同様に、所望のタンタルタングス滕複合酸化物の厚さの4分の1の厚さのタンタル・タングス滕合金をスパッタ装置、または図1に示したCVD装置で成膜する。

【0080】タンタル・タングス滕合金を堆積した基板（陽極）、及び金などの耐酸性の金属（陰極）を85℃の電解質水溶液である0.02Mリン酸水溶液に浸し、以下のような手順でウェハのタンタル・タングス滕合金直下（トランジスタの場合はウェハ、またDRAの場合は下部電極）の陽極に対して正の電圧を印加する。

【0081】まず、定常電圧V_f(V)に達するまでは一定電流密度 $2 \times 10^{-3} A/cm^2$ に保持する。定常電圧V_f(V)は電流密度が $6 \times 10^{-6} A/cm^2$ 以下になるように選ぶ。この場合、1時間の陽極酸化で形成されるタンタルタングス滕複合酸化物の厚さは1.65V_fnmである。なお、電解質水溶液には、リン酸水溶液だけでなく0.01Mクエン酸水溶液を用いてよい。また、このタンタルタングス滕複合酸化物薄膜は非晶質であり、後述のアニール処理によって β 相と δ 相の混合相になる。結晶化した薄膜に対しては膜中の酸素欠損の補償を目的として後述するアニール処理を行ってもよい。

【0082】上述した反応性スパッタ、気相成長法、熱酸化、または陽極酸化法によって堆積されたタンタルタングス滕複合酸化物薄膜、またはタンタルモリブデン複合酸化物薄膜を結晶化させる場合、以下のようなアニール処理を行う。

【0083】まず、非晶質のタンタルタングス滕複合酸化物薄膜、またはタンタルモリブデン複合酸化物薄膜を結晶化するために、基板温度を650℃を越える温度に保ち、1気圧の窒素、アルゴン、酸素、酸素・オゾン混合気体、またはこれらの気体の組み合わせ雰囲気中で10分程度のアニール処理を行うと、後述のように β 相と δ 相の混合相になる。

【0084】上記アニール処理中に酸化作用のない窒素、アルゴン、または窒素・アルゴン混合気体を用いる

と、タンタルーダンガスティン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜の直下の層の酸化を抑制しつつ、タンタルーダンガスティン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜を結晶化させることができるために、半導体トランジスタのゲート絶縁物として堆積されたタンタルーダンガスティン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜の結晶化に好ましい。

【0085】一方、結晶化したタンタルーダンガスティン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜の酸素欠損の補償、及び膜中不純物を除去する場合は、基板温度を400°Cから500°Cに保ち、1気圧の酸素、酸素・オゾン混合気体、またはこれら気体の組み合わせ雰囲気中で10分程度のアニール処理を行ってもよい。

【0086】なお、アニール処理による酸素空孔の補償、及び膜中不純物の除去を促進するために化学的に活性な酸素ラジカルO^{(3)P}、O^{(1)D}、活性酸素O₂^{(1)Δ}、またはオゾンが発生するように紫外線を照射してもよい。典型的な紫外線の照射条件は、波長185nmの紫外線を用いる場合で2.5mW/cm²、波長254nmの紫外線を用いる場合で20nW/cm²である。

【0087】また、特に(001)配向のRu上に堆積されたタンタルーダンガスティン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜に対して、N₂Oプラズマ中で350°C、3分のアニール処理後、800°C、1分の急速熱窒化処理を行うと後述するように比誘電率を100以上という高い値とすることができる。

(成膜実験の説明1：シリコン窒化膜上での特性)シリコン窒化膜上におけるタンタルーダンガスティン複合酸化物薄膜結晶のリーク電流及び比誘電率の組成依存性を調べた。

【0088】基板には酸化膜換算膜厚0.5nmのシリコン窒化膜(実膜厚0.9nm)付きn型シリコン基板(100)を使用した。タンタルーダンガスティン複合酸化物薄膜は反応性スパッタにて成膜した。反応性スパッタ時、基板加熱は行わず、アルゴン・酸素混合気体(アルゴン/酸素分圧比:90/10)を供給し、チャンバー内圧を0.6Paとし、RF電源(周波数13.56MHz)の高周波パワーは500Wとした。また、タンタルーダンガスティン複合酸化物薄膜の結晶化のために、基板温度800°Cにて1気圧、10分の窒素アニールを行う。

【0089】図2にタンタルーダンガスティン複合酸化物薄膜結晶のX線回折スペクトルを示す。なお、使用X線はCuKα(波長:0.15418nm)である。ここで、図中のピークに付けられている記号はβ相タンタルーダンガスティン複合酸化物、δ相タンタルーダンガスティン複合酸化物、Au、Siの対応する格子面を指示する

ものである。図2に示すように、ほぼβ-Ta₂O₅またはδ-Ta₂O₅の存在を示す位置にピークがあることから結晶化していることが確認できる。よって、この薄膜はβ相とδ相の混合相である。

【0090】上部電極として金を蒸着した試料のタンガスティン濃度に対するリーク電流密度を図3及び図4に示し、タンガスティン濃度に対する比誘電率の組成依存性を図5、図6に示す。なお、図4は図3の低タンガスティン濃度領域を拡大した図であり、図6は図5の低タンガスティン濃度領域を拡大したものである。また、タンタルーダンガスティン複合酸化物薄膜結晶は、膜厚がシリコン酸化膜換算膜厚で0.5nmとなるように形成されたものであり、リーク電流密度は印加電圧1.2V時のデータである。なお、図7にはタンタルーダンガスティン複合酸化物薄膜結晶のタンガスティン濃度に対する実膜厚の組成依存性を示した。タンタルーダンガスティン複合酸化物薄膜と直列に接続されているシリコン窒化膜は、膜厚が0.9nmと非常に薄いため、直流電圧を印加された場合(電流密度測定時)に絶縁性を持たないが、高周波電圧印加時(容量測定時)には容量膜として働く。したがって、複合酸化物結晶薄膜の比誘電率を算出する際にはこのことを考慮して算出した。

【0091】図3及び図4に示すように、タンガスティン(W)の添加量が増加するにしたがってリーク電流密度は減少し、11.5%で最小値となった後、再び増加する。ここで、タンガスティンの添加量が18.5%以下であればTa₂O₅結晶のリーク電流密度よりも少ない値になる。特に、タンガスティンの添加量が0.17%以上15.5%以下の場合にはTa₂O₅結晶に比較してリーク電流密度が約10⁻⁶倍以下に低減し、タンガスティンの添加量が8.3%以上13.1%以下の場合にTa₂O₅結晶に比較してリーク電流密度が約10⁻⁶倍以下に低減する。また、図5、図6に示すように、比誘電率はタンガスティン(W)の添加量の増加に伴って増加することが分かる。

【0092】一方、シリコン窒化膜上におけるタンタルーモリブデン複合酸化物薄膜結晶(Mo/(Ta+Mo)=約1%)のリーク電流密度の印加電圧依存性、及び比誘電率を、上部電極として金を蒸着して調べた。基板には酸化膜換算膜厚0.5nmのシリコン窒化膜(実膜厚0.9nm)付きn型上シリコン基板(100)を使用した。また、タンタルーモリブデン複合酸化物薄膜は、上述したタンタルーダンガスティン複合酸化物薄膜結晶の場合と同様の条件で反応性スパッタにて成膜・アニール処理を施したものであり、膜厚はシリコン酸化膜換算膜厚で1.0nm(実膜厚5nm)、比誘電率は3.9であった。

【0093】このようにして作製したシリコン窒化膜上におけるタンタルーモリブデン複合酸化物薄膜結晶(Mo/(Ta+Mo)=約1%)のリーク電流密度の印加

電圧依存性を図8に示す。

【0094】図8に示すように、1.2V印加時のリーク電流密度は $10^{-6}A/cm^2$ 以下であり、Ta₂O₅結晶に比べてリーク電流密度が約10⁵倍以下に低減する。

【0095】よって、上記タンタルーダンガスチン複合酸化物薄膜結晶、またはタンタルーモリブデン複合酸化物薄膜結晶をゲート絶縁膜として用いれば、ゲート長0.05μm世代の半導体トランジスタのゲート絶縁膜に要求される絶縁特性（シリコン酸化膜換算膜厚0.5nmの膜厚において1.2V印加時のリーク電流密度が $10^{-6}A/cm^2$ 以下）を満たすことが可能である。

【0096】Ta₂O₅とWO₃の複合酸化物結晶xTa₂O₅-yWO₃、またはTa₂O₅とMoO₃の複合酸化物結晶xTa₂O₅-yMoO₃において、タンガスチン、またはモリブデンが一定量以下である場合、Ta₂O₅結晶に比べて絶縁性が増大する、すなわちリーク電流が低減するのは、タンガスチン、またはモリブデンの存在によって膜中の酸素欠損がTa₂O₅結晶に比べて減少しているためであると考えられる。

【0097】Ta₂O₅結晶にWO₃、またはMoO₃を添加することでリーク電流密度が低減したのは、6配位時イオン半径がTa₅+イオン半径0.064nmより小さなW₆⁺（イオン半径0.060nm）、またはMo₆⁺（イオン半径0.059nm）がTaサイトに置換のために結晶内の歪みが緩和され、結晶化時の酸素空孔の形成が抑制されたためと推測できる。

【0098】また、Ta₂O₅結晶とWO₃の複合酸化物結晶xTa₂O₅-yWO₃のタンガスチン量が一定値を超えるとTa₂O₅結晶に比べて絶縁性が劣化するのは、抵抗率の低い結晶化したWO₃（γ-WO₃）が粒界などに偏析するため、あるいは複合酸化物中でタンタルサイトに置換したタンガスチンがドナーとして働くためと考えられる。

【0099】また、図5及び図6に示すように、タンタルーダンガスチン複合酸化物薄膜結晶では、タンガスチン量の増加とともに比誘電率の増加が見られる。これはTa₂O₅結晶とγ-WO₃の金属原子周りの構造がほぼ一致することから、タンタルーダンガスチン複合酸化物薄膜結晶が良好な結晶性を有することと、γ-WO₃が2000という大きな比誘電率を持つことに起因する。

【0100】なお、基板として、(100)Si基板、シリコン酸化膜付(100)Si基板、シリコン酸化膜付(100)Si基板、または白金基板を用いた場合でもシリコン酸化膜上に堆積したときとほぼ同様のリーク電流密度特性、及び比誘電率の組成依存性が得られた。

【0101】また、タンタルーダンガスチン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜の成膜温度を650°C以上とし、始めからタンタルーダンガ

ステン複合酸化物薄膜結晶として成膜した場合も、非晶質のタンタルーダンガスチン複合酸化物薄膜、またはタンタルーモリブデン複合酸化物薄膜の成膜温度を窒素アーチによる結晶化させた場合と同様なリーク電流密度特性、及び比誘電率の組成依存性が得られた。

【0102】（成膜実験の説明3：(001)配向Ru上の特性）(001)配向のRu上に基板温度が500°Cで6.3nmの膜厚のタンタルーダンガスチン複合酸化物薄膜結晶(W/(Ta+W)=11.5原子%)を形成した後、N₂Oプラズマ中で350°C、3分のアーチ処理を行い、さらに800°C、1分のRTN処理を行った絶縁膜についてX線回折測定及び電気特性評価を行った。

【0103】図9は上記タンタルーダンガスチン複合酸化物薄膜結晶のX線スペクトルである。ここで、図中のピークに対して付けられた記号はβ相タンタルーダンガスチン複合酸化物、Ruの対応する格子面を指示するものである。(001)または(002)配向のタンタルーダンガスチン複合酸化物薄膜結晶(β-Ta₂O₅)の存在を示す位置にピークが見られる。

【0104】図10は上記タンタルーダンガスチン複合酸化物薄膜結晶のリーク電流密度の印加電圧依存性である。図10に示すように、印加電圧1.2V時のリーク電流密度は $10^{-8}A/cm^2$ 以下である。これはタンタルーダンガスチン複合酸化物薄膜結晶中の酸素空孔が酸化タンタルに比べて低減していることに起因する。また、この絶縁膜の比誘電率は102であった。この比誘電率からタンタルーダンガスチン複合酸化物薄膜のシリコン酸化膜換算膜厚は0.24nmとなる。このような高い比誘電率はタンタルーダンガスチン複合酸化物薄膜が(001)配向の結晶性の高い膜であることに起因する。

【0105】また、同様な方法で(001)配向のルテニウム(Ru)上に成膜、アーチ処理を施した膜厚6.3nm（比誘電率からシリコン酸化膜換算膜厚は0.24nm）のタンタルーモリブデン複合酸化物薄膜(Mo/(Ta+Mo)=約1原子%)の印加電圧1.2V時のリーク電流密度が $10^{-8}A/cm^2$ 以下であること、及び比誘電率が103であることを確認した。

【0106】よって、このタンタルーダンガスチン複合酸化物結晶薄膜、またはタンタルーモリブデン複合酸化物結晶薄膜を容量絶縁膜として用いればシリコン酸化膜換算膜厚で0.24nm以下であり、かつ絶縁膜への印加電圧1.2V時のリーク電流が $10^{-8}A/cm^2$ 以下である半導体メモリを実現することができる。

（ゲート適用例1）図11は本発明の半導体装置の第1実施例であるn型トランジスタの製造工程を示す断面図である。なお、第1実施例のn型トランジスタの構造は図11(d)に示されている。

【0107】図11(d)に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のn型単結晶シリコンからなる基板201上にはSTI(Shallow Trench Isolation)構造の素子分離領域210が形成されている。また、n型トランジスタの形成領域にはpウェル(不図示)が形成されている。素子分離領域210で分離されたn形トランジスタ領域には、しきい値をコントロールするための不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度のp型チャネル不純物層(不図示)が形成され、それを挟んで不純物濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 程度のn型拡散層からなるソースードレイン領域202が形成されている。チャネル領域203上には、膜厚10nmのタンタルータンクスチーン複合酸化物薄膜($W/Ta+W=11.5\%$)205が形成されている。なお、図11(d)に示したn型トランジスタのタンタルータンクスチーン複合酸化物薄膜205は結晶化されたものであり、図11(b)、(c)に示したタンタルータンクスチーン複合酸化物薄膜205はアモルファス状態である。

【0108】タンタルータンクスチーン複合酸化物薄膜205上には窒化チタン(TiN)206及びタンクスチーン(W)212からなるゲート電極がソースードレイン領域202に対して自己整合的に形成されている。また、ソースードレイン領域202は層間絶縁膜208に設けられたコンタクト孔を介してソースードレイン電極207と接続されている。さらに、ソースードレイン電極207、層間絶縁膜208、及びゲート電極を覆うようにしてシリコン酸化膜またはシリコン酸窒化膜からなるパッシベイション膜209が形成されている。

【0109】次に、図11に示した第1実施例のn型トランジスタの製造方法について説明する。

【0110】まず、n型単結晶シリコンからなる基板201の表面を、過酸化水素、アンモニア、または塩酸の混合水溶液を用いる洗浄法により洗浄する。なお、ここでは基板201の表面を洗浄することが目的であるため、上記以外の洗浄法を用いてもよい。

【0111】次に、基板201上にpウェルを形成し、RIE(Reactive Ion Etch)法を用いて基板201上に溝を形成し、その溝に絶縁膜を埋め込みトレンチ型の素子分離領域210を形成する。続いて、厚さ5nm程度のシリコン酸化膜211を堆積した後、チャネルイオン注入を行い、p型チャネル不純物層(不図示)を形成する。さらに、800°C、10秒程度のRTA(Rapid Thermal Anneal)によりp型チャネル不純物層を活性化させる(図11(a))。

【0112】次に、シリコン酸化膜211をフッ酸により剥離し、反応性スッパ法を用いて膜厚5nmのタンタルータンクスチーン複合酸化物薄膜($W/(Ta+W)=11.5\%$)205を基板201を加熱せずに形成し、タンタルータンクスチーン複合酸化物薄膜205上にTiN206を形成する(図11(b))。

【0113】次に、TiN206上にフォトレジストパターン(不図示)を形成し、これをエッチング用マスクとして用いる異方性エッチングにより、TiN206及びタンタルータンクスチーン複合酸化物薄膜205をそれぞれペターニングする。

【0114】なお、TiN206のエッチングにヘリコンプラズマを用いたエッチャーチャーを用いる場合は、エッチングガスとしてSF₆/Ar混合ガス(混合分圧比SF₆/Ar=10/1)を用いる。また、プラズマ発生用のRF電源(13.56MHz)のパワーは400W程度とし、タンタルータンクスチーン複合酸化物薄膜205の基板201に印加するバイアス電源(13.56MHz)のパワーを400W程度とし、基板温度は0°C程度に保つておく。

【0115】一方、タンタルータンクスチーン複合酸化物薄膜205のエッチングに平行平板型エッチャーチャーを用いる場合は、エッチングガスとしてCF₃Clを用い、平行平板電極に高周波を印加するRF電源(13.56MHz)のパワーを1500W程度とし、基板温度を60°C程度に保つておく。

【0116】続いて、フォトレジストパターン、TiN206、及びタンタルータンクスチーン複合酸化物薄膜205をイオン注入用マスクとして用い、基板201に不純物イオン(砒素)を注入することにより、TiN206、タンタルータンクスチーン複合酸化物薄膜205に対して自己整合的にソースードレイン領域202を形成する(図11(c))。

【0117】次に、フォトレジストパターンを除去し、ソースードレイン活性化のための熱処理(1気圧窒素雰囲気、800°C、10分)を行う。この工程はタンタルータンクスチーン複合酸化物薄膜205の結晶化も兼ねている。

【0118】次に、基板201上に層間絶縁膜208を形成し、層間絶縁膜208にソースードレイン領域202及びTiN206まで達するコンタクト孔を形成した後、ソースードレイン領域に達するコンタクト孔に対してCo及びTiN(不図示)を堆積し、TiN206に達するコンタクト孔に対してWを堆積して、窒素雰囲気中で700°C、10秒のRTA処理を施し、これをペターニングすることでソース電極ードレイン電極207、TiN206とW212からなるゲート電極をそれぞれ形成する。

【0119】さらに、窒素:水素比9:1の雰囲気中で400°C、10分のアニール処理を行い、最後に全面にパッシベイション膜209を形成する(図11(d))。

【0120】このようにして作製したn型トランジスタは、タンタルータンクスチーン複合酸化物薄膜205からチャネル領域203への金属拡散により、しきい値が設計値から大きくずれてしまう。すなわち、チャネル中に

拡散した金属原子のためにチャネル中の原子の移動度が低下し、トランジスタがON状態のときにチャネル領域203に流れる電流 I_{α} が設計値に達しないという問題が発生する。

【0121】そこで、チャネル領域中への金属拡散を防ぐため、図12(d)に示す第2実施例のn型トランジスタのように、チャネル領域上に厚さ0.7nmのシリコン酸窒化膜204(シリコン酸化膜換算膜厚0.5nm)を形成し、その上に膜厚5nmのタンタルータングステン複合酸化物薄膜($W/(Ta+W)=11.5\%$)205を形成し、この積層膜をゲート絶縁膜として用いる。

【0122】このようにすることで、シリコン酸窒化膜204がチャネル領域中への金属拡散を防ぐバリヤーとして働くため、しきい値の設計値からのずれがなくなり、かつON電流 I_{α} の低下が解消される。

【0123】なお、図12(d)に示した第2実施例のn型トランジスタの製造方法は、タンタルータングステン複合酸化物薄膜205を形成する前に、シリコン酸窒化膜204を形成すればよい(図12(b)参照)。その他の工程は図11に示した第1実施例のn型トランジスタと同様であるため、その説明は省略する。

【0124】図12(d)に示した第2実施例のn型トランジスタの単位面積当たりのゲート容量は $4.0[\mu F \text{ rad}/cm^2]$ であり、ゲート絶縁膜のシリコン換算膜厚が1.0nmのときに期待される単位面積当たりのゲート容量 $3.6[\mu F \text{ rad}/cm^2]$ を上回っていた。つまり、作製したn型トランジスタのゲート絶縁膜のシリコン換算膜厚は1.0nm以下である。

【0125】図13に第2実施例のn型トランジスタのゲートリーク電流密度のゲート電圧依存性を示す。図13に示すように、第2実施例のn型トランジスタのゲート電圧1.2V時のリーク電流密度は $10^{-7}A/cm^2$ である。また、第2実施例のn型トランジスタのゲート絶縁膜とシリコン界面の界面準位密度は $5 \times 10^{10}/cm^2eV$ であった。この値は通常の熱酸化で形成されたシリコン酸化膜とシリコン界面の界面準位密度とほぼ同じ値である。このように第2実施例のn型トランジスタの動作を確認したところ正常な動作を示した。

(ゲート適用例2) 図14は本発明の半導体装置の第3実施例であるn型トランジスタの製造工程を示す断面図である。なお、第3実施例のn型トランジスタの構造は図14(e)に示されている。

【0126】図14(e)に示すように、不純物濃度 $5 \times 10^{15}cm^{-3}$ 程度のn型単結晶シリコンからなる基板301上にはSTI構造の素子分離領域314が形成されている。また、n型トランジスタの形成領域にはpウェル(不図示)が形成されている。素子分離領域314で分離されたトランジスタ領域には、不純物濃度 $5 \times 10^{19}cm^{-3}$ 程度、不純物濃度 $5 \times 10^{20}cm^{-3}$ 程度のL

DD(Lightly Doped Drain)構造を有するn型拡散層からなるソース・ドレイン領域302が形成されている。また、しきい値をコントロールするための不純物濃度 $5 \times 10^{16}cm^{-3}$ 程度のp型チャネル不純物層がチャネル領域303のみに選択的に形成されている(不図示)。

【0127】チャネル領域303上には、シリコン酸化膜換算膜厚で0.5nmの膜厚のシリコン酸窒化膜308が形成され、さらにその上に膜厚5nmのタンタルータングステン複合酸化物結晶薄膜($W/(Ta+W)=11.5\%$)309が形成されている。また、タンタルータングステン複合酸化物結晶薄膜309上には窒化チタン(TiN)及びタンゲステン(W)からなるゲート電極310がソースードレイン領域302に対して自己整合的に形成されている。タンタルータングステン複合酸化物結晶薄膜309と第1の層間絶縁膜307の間にシリコン酸化膜306が形成されている。また、ソースードレイン領域302は、第1の層間絶縁膜307及びその上に形成された第2の層間絶縁膜311にそれぞれ設けられたコンタクト孔を介してソースードレイン電極312に接続されている。さらに、ソースードレイン電極312及び第2の層間絶縁膜を覆うようにしてシリコン酸化膜またはシリコン酸窒化膜からなるパッシベーション膜313が形成されている。

【0128】次に、図14に示した第3実施例のn型トランジスタの製造方法について説明する。

【0129】まず、n型単結晶シリコンからなる基板301の表面を、過酸化水素、アンモニア、または塩酸の混合水溶液を用いる洗浄法により洗浄する。なお、ここでは基板301表面を洗浄することが目的であるため、上記以外の洗浄法を用いてもよい。

【0130】次に、基板301上にpウェルを形成し、RIE法を用いて基板301上に溝を形成し、その溝に絶縁膜を埋め込みトレンチ型の素子分離領域314を形成する。続いて、基板301上に厚さ5nm程度のシリコン酸化膜304を形成し、シリコン酸化膜304上に多結晶シリコン膜を膜厚300nm程度全面に堆積して、リソグラフィー法とRIE法によりダミーゲートパターン305に形成する。ダミーゲートパターン305に多結晶シリコンを用いるのは、RIE時にシリコン酸化膜304に対して選択比が取り易いため、シリコン基板301へのRIEによるエッティングダメージを抑制するためである。

【0131】次に、LDD構造を形成するために、多結晶シリコン膜からなるダミーゲートパターン305をマスクとして、70KeV、 $4 \times 10^{13}cm^{-2}$ 程度でリンをイオン注入し、ソースードレイン領域302の一部となるn型拡散層302aを形成する(図14(a))。

【0132】次に、シリコン酸化膜を全面に堆積した後、RIE法によって除去し、ダミーゲートパターン305の側壁に厚さ20nm程度のシリコン酸化膜306

を形成する。その後、 30 keV 、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度で砒素をイオン注入し、ソース・ドレイン領域302の一部となるn+型拡散層302bを形成し、LDD構造を形成する(図14(b))。

【0133】次に、CVDによって全面に第1の層間絶縁膜307となるシリコン酸化膜を 300 nm 程度堆積し、窒素雰囲気中で 750°C 、10分のアニール処理を行う。続いて、窒素雰囲気中で 950°C 、10秒のRTAを行い、ソース・ドレイン領域302のイオン注入層を活性化する。

【0134】次に、CMP(Chemical Mechanical Polishing)によって全面の平坦化を行い、多結晶シリコン膜からなるダミーゲートパターン305の表面を露出させ、露出したダミーゲートパターン305をRIEによって選択的に除去し、シリコン酸化膜304の表面を露出させる。

【0135】続いて、第1の層間絶縁膜307及び側壁絶縁膜306をマスクとして、所望のチャネル領域303にイオン注入を行う。nチャネルトランジスタの場合、 0.7 V 程度のしきい値に設定するためには、ホウ素を 10 keV 、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度でイオン注入し、チャネル領域303に選択的にp型チャネルを形成する(図14(c))。

【0136】次に、希釈したフッ酸を用いてシリコン酸化膜304を除去し、露出した基板301の表面に、一酸化窒素を用いた 1000°C 、1秒の急速酸窒化によりシリコン酸化膜換算膜厚 0.5 nm のシリコン酸窒化膜308を形成する。続いて、反応性スパッタ法を用いて全面に膜厚 5 nm のタンタル-タングステン複合酸化物薄膜($W/(Ta+W) = 11.5\%$)を基板温度 50°C で形成する。

【0137】次に、窒素雰囲気中で 800°C 、10秒のRTAを行い、チャネル領域303の不純物を活性化させる。この工程はタンタル-タングステン複合酸化物薄膜の結晶化も兼ねている。また、この工程により基板301、シリコン酸窒化膜308の界面に存在する終端されていない結合数が減少し、界面準位密度が低減される。この工程で得られるタンタル-タングステン複合酸化物結晶薄膜309とシリコン酸窒化膜308がゲート絶縁膜となる。

【0138】続いて、TiN及びWを全面に積層し、全面をCMPすることでダミーゲートパターン305が除去された溝にゲート電極310を埋め込み形成する(図14(d))。

【0139】次に、第2の層間絶縁膜311として全面にシリコン酸化膜を 200 nm 程度堆積し、ソース・ドレイン領域302まで達するコンタクト孔を形成する。

【0140】続いて、Co、TiN、及びWをそれぞれ堆積し、窒素中で 700°C 、10秒のRTA(Rapid Thermal Anneal)処理を行った後、これらをパターニング

してソース・ドレイン電極312を形成する。さらに、窒素:水素比9:1の雰囲気中で 400°C 、10分のアニール処理を行い、最後にパッシベーション膜313を全面に形成する。

【0141】上記のような製造方法でトランジスタを作製する利点は次の三点である。

【0142】まず、第1に、この製造方法によればチャネル領域303にのみ選択的にしきい値調整用のチャネルイオン注入層を形成することができるため、ソース・ドレイン間の接合リード電流を減少させることができる。第2に、高温熱処理工程を行う前にチャネルイオン注入層を形成することが可能なため、急峻な不純物プロファイルを維持することができ、短チャネル効果を有効に抑制することができる。第3に、ゲート電極の加工に従来用いられてきたRIEではなくCMPを用いているため、RIE時に見られたようなプラズマによるゲート絶縁膜に対するダメージを回避することができる。

【0143】このような製造方法で作製されたトランジスタが図12に示した第2実施例のn型トランジスタと同等な性能を有し、正常な動作を行うことを確認した。

【0144】以上説明したように本発明の半導体装置は、ゲート絶縁膜のSi酸化膜換算膜厚が 1 nm 以下であり、かつゲート電圧 1.2 V 時のゲートリード電流が 10^{-6} A/cm^2 以下である電界効果トランジスタを実現することができる。なお、タンタル-タングステン複合酸化物結晶薄膜の代わりに、タンタル-モリブデン複合酸化物結晶薄膜を用いた場合も同様の効果が得られることを確認した。また、チャネル中への金属拡散を防ぐバリヤ膜にはシリコン酸窒化膜に限らず、シリコン酸化膜、またはシリコン窒化膜を用いてもよい。また、タンタル-タングステン複合酸化物結晶薄膜を形成する方法としては、タンタル-タングステン複合酸化物薄膜直下の酸化を抑制可能であるならば、反応性スパッタ法に限らず、成膜時の基板温度を 450°C 以下に設定するタンタル-タングステン合金の熱酸化法、気相成長法、陽極酸化法を用いてもよい。

【0145】さらに、ゲート電極はTiNの積層膜に限らず、酸素アニールで酸化されないもの、または酸化物が電気伝導性を持つ貴金属Ir、Pt、Ru、Os、Rh、高融点金属化合物TiN、または導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃のいずれか、もしくは上記各材料を複数層に形成した積層膜を用いてもよい。

【0146】上述したバリヤ膜、タンタル-タングステン複合酸化物結晶薄膜の形成方法、アニール処理方法、及びゲート電極の材料を任意に組み合わせても、第2実施例及び第3実施例のトランジスタと同様の効果及び作用が得られることを確認した。

(メモリ適用例1) 次に、本発明の半導体装置について半導体メモリを例にして説明する。

【0147】図15は本発明の半導体装置の第4実施例である半導体メモリの製造工程を示す断面図である。なお、以下では、第4実施例の半導体メモリの製造方法のみを説明するが、第4実施例の半導体メモリの構造は図15(d)に示されている。まず、n型単結晶シリコンからなる基板401の表面を、過酸化水素、アンモニア、塩酸の混合水溶液を用いる洗浄法により洗浄する。なお、ここでは基板401の表面を洗浄することが目的であるため、上記以外の洗浄法を用いてもよい。

【0148】次に、基板401上にLOCOS型の素子分離領域402を形成する。続いて、厚さ5nmのシリコン酸化膜を形成し、基板401上にボロン、リン等の不純物をイオン注入してn型ウェル及びp型ウェルをそれぞれ形成する。

【0149】次に、シリコン酸化膜をフッ酸などで剥離し、ゲート酸化膜403をウェット酸化により形成する。次に、ゲート酸化膜403上にゲート電極の一部をなす多結晶シリコン404を成膜し、エッチングする。続いて、多結晶シリコン404上にシリコン酸化膜を成膜し、エッチングにより側壁酸化膜405を形成する。次に、ボロン、砒素等の不純物をイオン注入し、窒素雰囲気中で950°C、10秒のRTAを行ってn型拡散層及びp型拡散層をそれぞれ形成する。続いて、全面にTiを堆積してシリコンと反応させ、未反応のTiをエッチング除去することにより、ゲート電極の一部をなすTiシリサイド406、及びTiシリサイドからなる拡散層407をそれぞれ形成する。以上の工程により、図15(a)に示すように、LOCOS型の素子分離領域402によって分離されたn型MOS型トランジスタ、またはp型MOS型トランジスタを基板401上に形成する。

【0150】次に、第1の層間絶縁膜408となるシリコン酸化膜、またはボロン、燐を不純物として含むシリコン酸化膜(BPSG)を成膜後、CMP法により平坦化する。続いて、第1の層間絶縁膜408にコンタクト孔をエッチングにより開口し、バリアメタルとしてTi及びTiNを成膜する。この上にタンゲステンをCVD法により成膜し、CMPによりタンゲステンからなるプラグ409を形成する。なお、プラグ409は、タンゲステンをCVDにより成膜した後、エッチバックによって形成してもよい。

【0151】さらに、プラグ409上に、下部電極となるチタン(Ti)膜410、窒化チタン(TiN)膜411を連続してスパッタし、その上に200nmのルテニウム(Ru)膜412を形成する(図15(b))。下部電極であるTi膜410、TiN膜411、及びRu膜412を成膜する際の基板401の温度は、各々100°C、100°C、350°Cである。基板401の温度をこのように設定ことで、TiN膜411及びRu膜412の結晶性を高め、かつRu膜412を(002)配

向に制御することができる。

【0152】次に、全面に反応性スッパタ法を用いて膜厚6.3nmのタンタルーティングステン複合酸化物薄膜(W/(Ta+W)=11.5%)を基板温度500°Cで堆積し、容量絶縁膜413を形成する。続いて、N₂Oプラズマ中で350°C、3分のアニール処理を行った後、800°C、1分のRTN処理を行う。この後処理によって(001)配向の結晶性の高いタンタルーティングステン複合酸化物薄膜を得ることができる。

【0153】次に、上部電極として窒化チタン(TiN)膜414、及びタンゲステン(W)膜415を全面に形成し、ドライエッチング法によって上部電極414、415、容量絶縁膜413、及び下部電極410~412をパターニングによりそれぞれ分離する(図15(c))。

【0154】ここで、上部電極414、415、下部電極410~412のエッチングにヘリコンプラズマによるエッチャーチャーを用いる場合は、エッチングガスとしてSF₆/Ar混合ガス(混合分圧比SF₆/Ar=10/1)を用い、プラズマ発生用のRF電源(13.56MHz)のパワーを400W程度とし、基板に印加するバイアス電源(13.56MHz)のパワーを400W程度とし、基板温度を0°C程度に保つておく。

【0155】また、容量絶縁膜413のエッチングに平行平板型エッチャーチャーを用いる場合は、エッチングガスとしてCF₃Clを用い、平行平板電極に高周波を印加するRF電源(13.56MHz)のパワーを1500W程度とし、基板温度を60°C程度に保つておく。

【0156】次に、第2の層間絶縁膜416としてシリコン酸化膜をプラズマCVDにより堆積し、容量上部コンタクト及びプレート線コンタクトをエッチングにより開口する。続いて、メタル配線417としてWSi、TiN、AlCu、TiNの順にスパッタ法により成膜し、エッチングにより加工した。この上にバッシベーション膜418としてシリコン酸化膜またはシリコン酸窒化膜を形成し、電極パッド部を開口して電気特性評価を行った。

【0157】図15に示した第4実施例の半導体メモリでは、容量部の下部電極410~412、タンタルーティングステン複合酸化物薄膜からなる容量絶縁膜413、上部電極414、415を形成してから、ドライエッチング法によって容量を分離する方法を示したが、図16に示すように、先に容量部の下部電極、すなわちRu膜412、TiN膜411、Ti膜410をエッチングにより分離し、タンタルーティングステン複合酸化物薄膜を成膜し、その後、上部電極を分離してもよい。このとき、上部電極414のエッチングに上述したヘリコンプラズマを用いたエッチャーチャーを用いる場合は、エッチングガスとしてSF₆/Ar混合ガスを用いるとよい。この方法を用いると、ドライエッチングを行う膜を薄く形成

できるため、より微細なパターンが形成できる。また、タンタルータンクス滕複合酸化物薄膜の側面がドライエッティング時にプラズマ中にさらされないため、タンタルータンクス滕複合酸化物薄膜からなる容量絶縁膜に欠陥が発生することがない。

【0158】以下に、図15に示した第4実施例の半導体メモリの容量部の電気特性を示す。なお、図16に示した半導体メモリの容量部の電気特性は、図15に示した第4実施例の半導体メモリの容量部の電気特性とほぼ一致していた。容量部の単位面積当たりの容量を測定したところ、 $15 [\mu\text{F rad}/\text{cm}^2]$ であり、容量絶縁膜513のシリコン換算膜厚が 0.24 nm のとき、期待される単位面積当たりの容量と一致する（この時のタンタルータンクス滕複合酸化物薄膜の比誘電率は107）。すなわち、作製した容量絶縁膜のシリコン換算膜厚は 0.24 nm である。

【0159】図17に図15に示す半導体メモリの容量絶縁膜のリーク電流密度の印加電圧依存性を示す。図17に示すように、第4実施例の半導体メモリの印加電圧 1.2 V 時のリーク電流密度は 10^{-8} A/cm^2 である。

（メモリ適用例2）図18は本発明の半導体装置の第5実施例である半導体メモリの製造工程を示す断面図である。なお、以下では、第5実施例の半導体メモリの製造方法のみを説明しているが、第5実施例の半導体メモリの構造は図18（d）に示されている。

【0160】まず、第4の実施例の半導体メモリと同様の工程により、図18（a）に示すように、LOCOS型の素子分離領域502によって分離されたn型MOS型トランジスタ、またはp型MOS型トランジスタをそれぞれ基板501上に形成する。

【0161】次に、第1の層間絶縁膜508としてシリコン酸化膜、またはボロン、燐を不純物として含むシリコン酸化膜（BPSG）を成膜後、CMP法により平坦化する。続いて、層間絶縁膜508にコンタクト孔をエッティングにより開口した後、バリアメタルとしてTi及びTiNを成膜し、その上にタンクス滕（W）を成膜して、エッティングによりプラグ509を形成する。さらに、その上に容量部の下部電極となるTi膜510及びTiN膜511をCVD法により連続して成膜し、その上に 200 nm のRu膜512をCVD法により形成する（図18（b））。Ti膜510、TiN膜511、及びRu膜512を成膜する際の基板温度は、各々 100°C 、 100°C 、 350°C である。基板温度をこのように設定することにより、TiN膜511及びRu膜512の結晶性を高め、かつRu膜512を（001）配向に制御することができる。

【0162】次に、全面にMOULD法を用いて容量絶縁膜513となる膜厚 6.3 nm のタンタルータンクス滕複合酸化物薄膜（W/（Ta+W）=11.5%）

を基板温度 500°C で形成する（図18（c））。続いて、 N_2O プラズマ中で 350°C 、3分のアニール処理を行った後、 800°C 、1分のRTN処理を行う。この後処理によって（001）配向の結晶性の高いタンタルータンクス滕複合酸化物薄膜を得ることができる。

【0163】次に、上部電極となるTiN膜514及びW膜515を全面に形成する。続いて、ドライエッティング法によってTiN膜514及びW膜515をパターニングにより分離する。ここで、上部電極のエッティングにヘリコンプラズマを用いたエッチャードを用いる場合は、エッティングガスとして SF_6/Ar 混合ガス（混合分圧比 $\text{SF}_6/\text{Ar}=10/1$ ）を用い、プラズマ発生用のRF電源（13.56MHz）のパワーを 400 W 程度とし、基板に印加するバイアス電源（13.56MHz）のパワーを 400 W 程度とし、基板温度を 0°C 程度に保っておく。

【0164】次に、層間絶縁膜516となるシリコン酸化膜をプラズマCVDにて堆積し、容量上部コンタクト孔、及びプレート線コンタクト孔をエッティングによりそれぞれ開口する。続いて、メタル配線517となるWSi、TiN、AlCu、TiNを、スパッタにより順に成膜し、エッティングにより加工する。この上にパッシベーション膜518となるシリコン酸化膜またはシリコン酸窒化膜を形成し、電極パッド部を開口して電気特性評価を行った。

【0165】図18に示した第5実施例の半導体メモリの容量部の単位表面積当たりの容量を測定したところ図15に示した第4実施例の場合と同様に $15 [\mu\text{F rad}/\text{cm}^2]$ であり、容量絶縁膜のシリコン換算膜厚が 0.24 nm のとき、期待される単位表面積当たりの容量と一致する（この時のタンタルータンクス滕複合酸化物結晶薄膜の比誘電率は107）。すなわち、作製した容量絶縁膜のシリコン換算膜厚は 0.24 nm である。

【0166】図19に第5実施例の半導体メモリの容量絶縁膜のリーク電流密度の印加電圧依存性を示す。図19に示すように、第5実施例の半導体メモリは印加電圧 1.2 V 時のリーク電流密度が 10^{-8} A/cm^2 である。

【0167】したがって、第4実施例及び第5実施例に示したように、半導体メモリの容量絶縁膜に上記タンタルータンクス滕複合酸化物結晶薄膜を用いることで、セル面積を増加させずに容量部の静電容量の増加を図ることができたため、DRAMの半導体メモリの更なる高集積化を行える。

【0168】本発明によれば容量絶縁膜のシリコン酸化膜換算膜厚が 0.24 nm 以下であり、かつ容量部への印加電圧 1.2 V 時のリーク電流が 10^{-8} A/cm^2 以下である半導体メモリを実現することができ、DRAMの高集積化を行うことができる。また、第5実施例の構

造を採用すると更なる高集積化を行える。

【0169】なお、タンタルタングステン複合酸化物結晶薄膜の代わりに、タンタルモリブデン複合酸化物結晶薄膜を用いた場合にも同様の効果が得られることを確認した。また、容量絶縁膜は、結晶化した状態で始めから堆積することができる、成膜時の基板温度が650°C以上の反応性スパッタまたは気相成長法を用いて形成してもよい。また、結晶化したタンタルタングステン複合酸化物薄膜もしくはタンタルモリブデン複合酸化物薄膜の酸素空孔の補償には、酸素雰囲気中のアニール処理、酸素・オゾン混合气体中でのアニール処理、または紫外線照射下での酸素、酸素・オゾン混合气体中でのアニール処理を用いることも可能である。

【0170】なお、上述したタンタルタングステン複合酸化物薄膜の形成方法、及びアニール処理方法を任意に組み合わせても、第4実施例及び第5実施例の半導体メモリと同様の効果及び作用が得られることを確認した。

【0171】また、容量部の上部電極および下部電極はRu、及びTiNとWの積層膜に限らず、多結晶シリコン、酸素アニールで酸化されないもの、または酸化物が電気伝導性を持つ、貴金属Ir、Pt、Os、Rh、導電性酸化物RuO₂、RhO₂、OsO₂、IrO₂、ReO₃、SrRuO₃のいずれか、または上記各材料を複数層に形成した積層膜を用いてもよい。

【0172】但し、下部電極として(0.01)配向のRuを用いない場合には、タンタルタングステン複合酸化物結晶薄膜の比誘電率が40程度になるため、容量絶縁膜のシリコン酸化膜換算膜厚は0.6nmと下部電極にRuを用いる場合の2.5倍になる。

【0173】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0174】タンタルタングステン複合酸化物結晶薄膜、またはタンタルモリブデン複合酸化物結晶薄膜を含む絶縁膜をゲート絶縁膜として用いることで、ゲート絶縁膜のSi酸化膜換算膜厚1nm以下であり、かつリード電流密度がゲート電圧1.2V時で10⁻⁶A/cm²以下である、ゲート長0.05μm世代に要求される性能を満たす半導体トランジスタを得ることができる。

【0175】また、タンタルタングステン複合酸化物結晶薄膜、またはタンタルモリブデン複合酸化物結晶薄膜を含む絶縁膜を容量絶縁膜として用いることで、容量絶縁膜のシリコン酸化膜換算膜厚が0.24nm以下であり、かつ容量部への印加電圧1.2V時のリード電流が10⁻⁸A/cm²以下である、ゲート長0.13μm世代に要求される性能を満たす半導体メモリを得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法で用いる気相成

長装置の一構成例を示すブロック図である。

【図2】本発明の半導体装置で用いるタンタルタングステン複合酸化物薄膜結晶のX線回折スペクトルを示すグラフである。ここで、図中のピークに付けられている記号はβ相タンタルタングステン複合酸化物、δ相タンタルタングステン複合酸化物、Au、Siの対応する格子面を指示するものである。

【図3】本発明の半導体装置で用いるタンタルタングステン複合酸化物薄膜結晶のタンクステン濃度に対するリーク電流密度の関係を示すグラフである。

【図4】図3に示したグラフの低タンクステン濃度領域を拡大した様子を示すグラフである。

【図5】本発明の半導体装置で用いるタンタルタングステン複合酸化物薄膜結晶のタンクステン濃度に対する比誘電率の関係を示すグラフである。

【図6】図5に示したグラフの低タンクステン濃度領域を拡大した様子を示すグラフである。

【図7】本発明の半導体装置で用いるタンタルタングステン複合酸化物薄膜結晶のタンクステン濃度に対する実膜厚の関係を示すグラフである。

【図8】本発明の半導体装置で用いるタンタルモリブデン複合酸化物薄膜結晶のシリコン窒化膜上における印加電圧に対するリーク電流密度の関係を示すグラフである。

【図9】(001)配向のルテニウム上に形成したタンタルタングステン複合酸化物薄膜結晶のX線スペクトルを示すグラフである。ここで、図中のピークに付けられている記号は、β相タンタルタングステン複合酸化物、Ruの対応する格子面を指示するものである。

【図10】図9に示した組成を有するタンタルタングステン複合酸化物薄膜結晶の印加電圧に対するリーク電流密度の関係を示すグラフである。

【図11】本発明の半導体装置の第1実施例であるn型トランジスタの製造工程を示す断面図である。

【図12】本発明の半導体装置の第2実施例であるn型トランジスタの製造工程を示す断面図である。

【図13】図12に示したn型トランジスタのゲート電圧に対するゲートリーク電流密度の関係を示すグラフである。

【図14】本発明の半導体装置の第3実施例であるn型トランジスタの製造工程を示す断面図である。

【図15】本発明の半導体装置の第4実施例である半導体メモリの製造工程を示す断面図である。

【図16】図15に示した半導体メモリの製造工程の一変形例を示す断面図である。

【図17】図15に示した半導体メモリの容量絶縁膜の印加電圧に対するリーク電流密度の関係を示すグラフである。

【図18】本発明の半導体装置の第5実施例である半導体メモリの製造工程を示す断面図である。

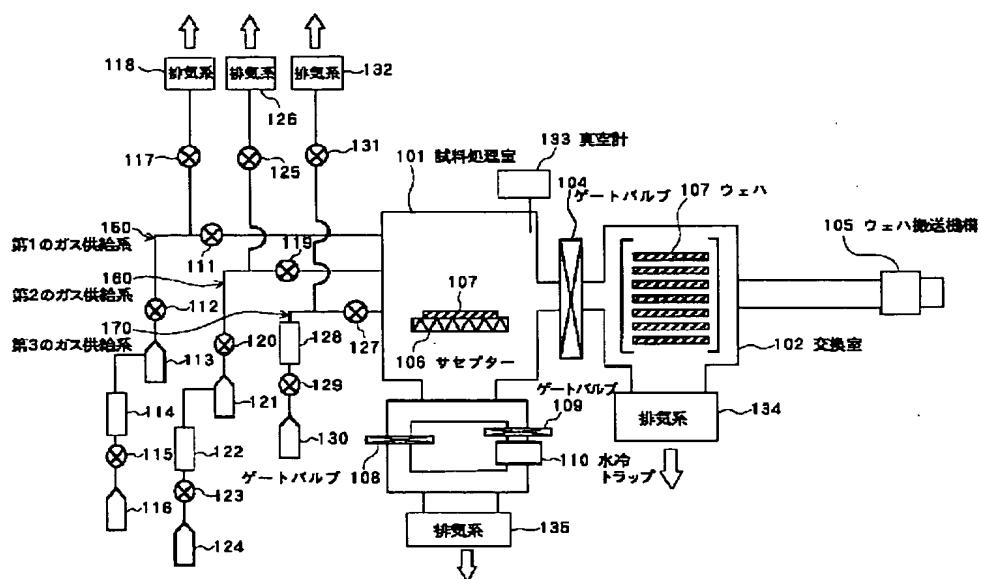
【図19】図18に示した半導体メモリの容量絶縁膜の印加電圧に対するリーク電流密度の関係を示すグラフである。

【符号の説明】

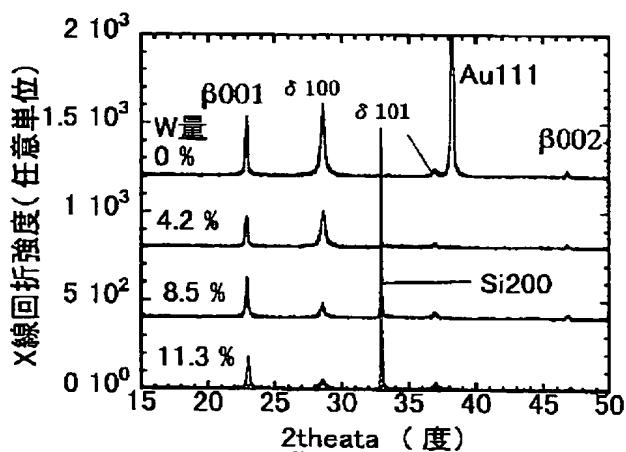
- 101 試料処理室
- 102 試料交換室
- 104、108、109 ゲートバルブ
- 105 ウエハ搬送機構
- 106 サセプター
- 107 ウエハ
- 110 水冷トラップ
- 111、112、115、117、119、120、1
23、125、127
、129、131 ストップバルブ
- 113、121、130 原料シリンダ
- 114、122、128 マスフローコントローラ
- 116、124 窒素ガスボンベ
- 118、126、132、134、135 排気系
- 133 真空計
- 201、301、401、501 基板
- 202、302 ソースードレイン領域
- 203、303 チャネル領域
- 204、308 シリコン酸窒化膜
- 205、309 タンタルータングステン複合酸化物
薄膜

- 206、411、414、511、514 TiN膜
- 207、312 ソースードレイン電極
- 208 層間絶縁膜
- 209、313、418、518 パッシベーション膜
- 210、314、402、502 素子分離領域
- 211、304、306 シリコン酸化膜
- 212、415、515 W膜
- 302a n-型拡散層
- 302b n+型拡散層
- 305 ダミーゲートパターン
- 307、408、508 第1の層間絶縁膜
- 310 ゲート電極
- 311、416、516 第2の層間絶縁膜
- 403 ゲート酸化膜
- 404 多結晶シリコン
- 405 側壁酸化膜
- 406 Tiシリサイド
- 407 拡散層
- 409、509 プラグ
- 410、510 Ti膜
- 412、512 Ru膜
- 413、513 容量絶縁膜
- 417、517 メタル配線

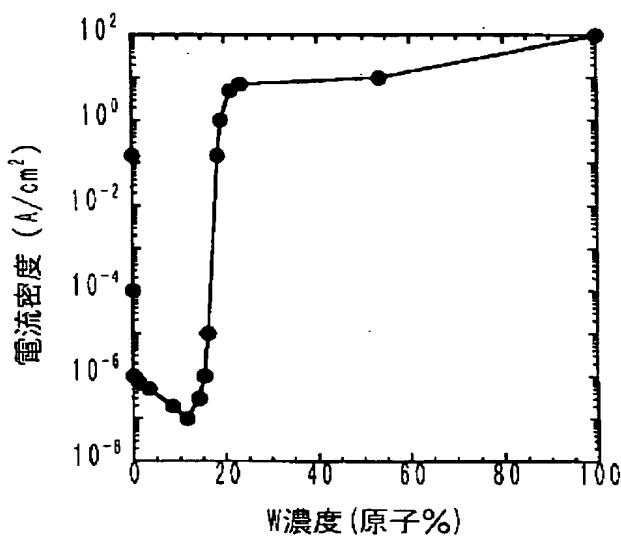
【図1】



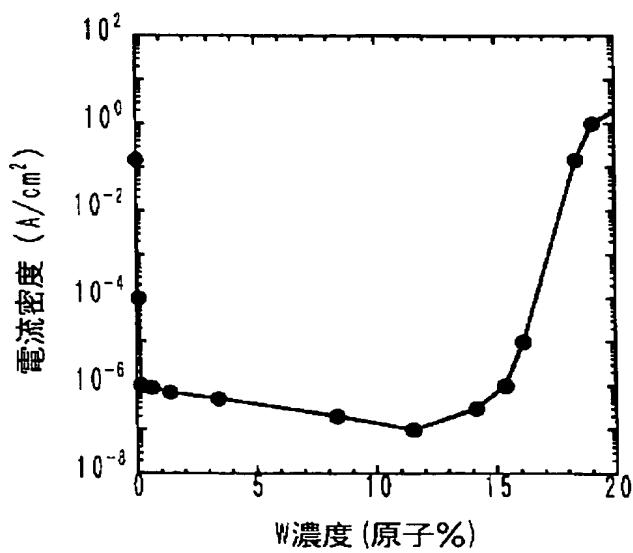
【図2】



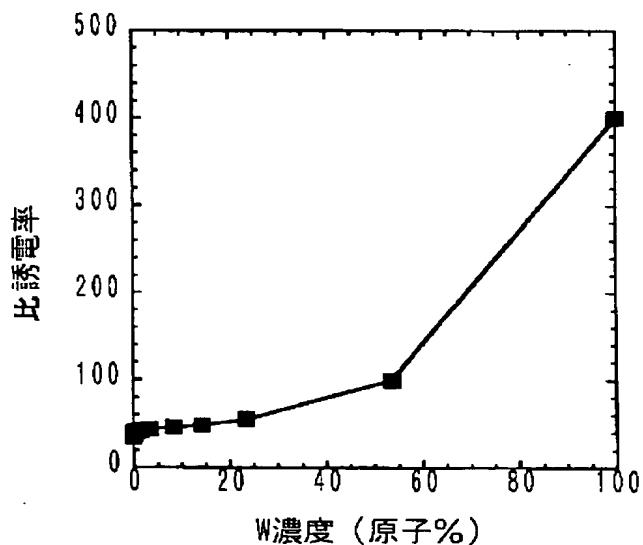
【図3】



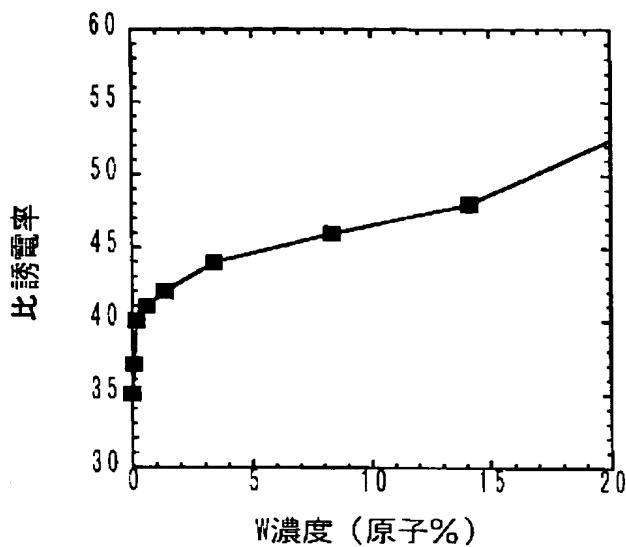
【図4】



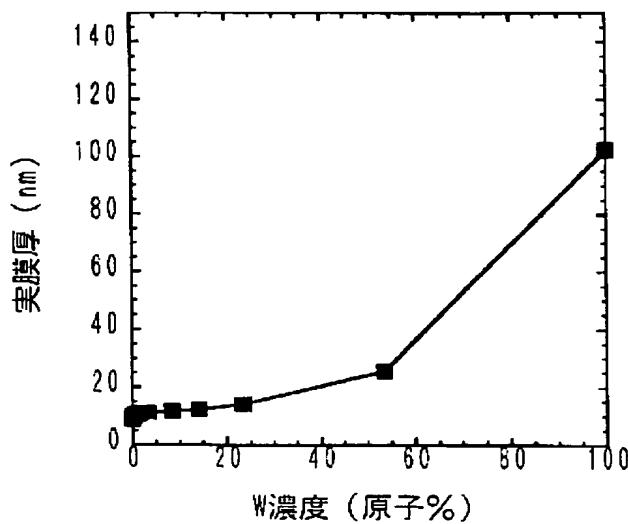
【図5】



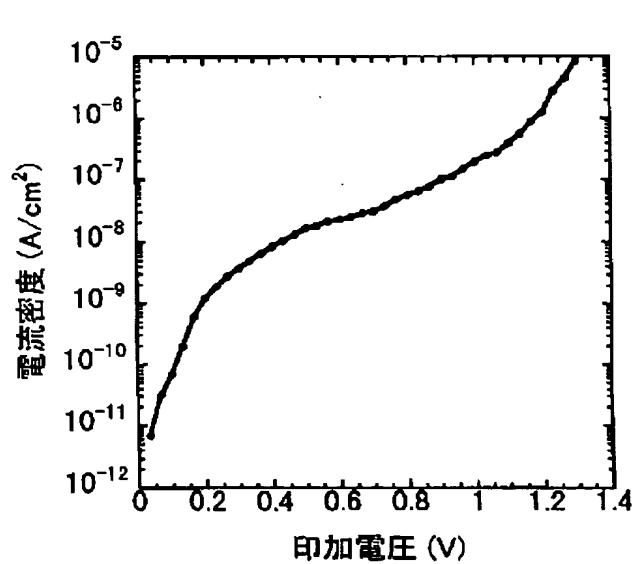
【図6】



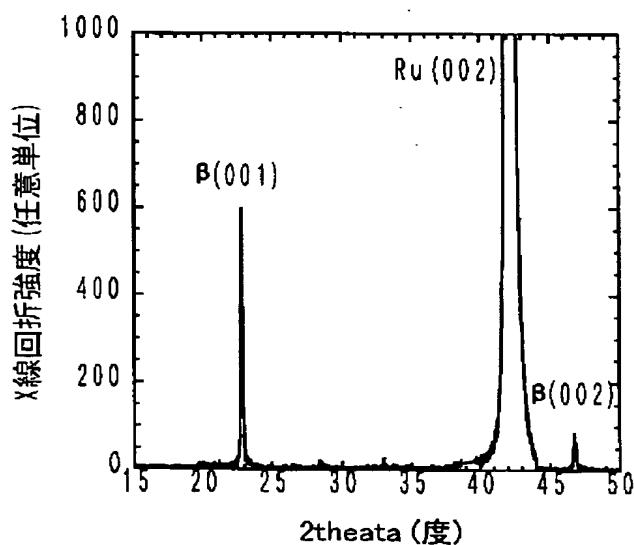
【図7】



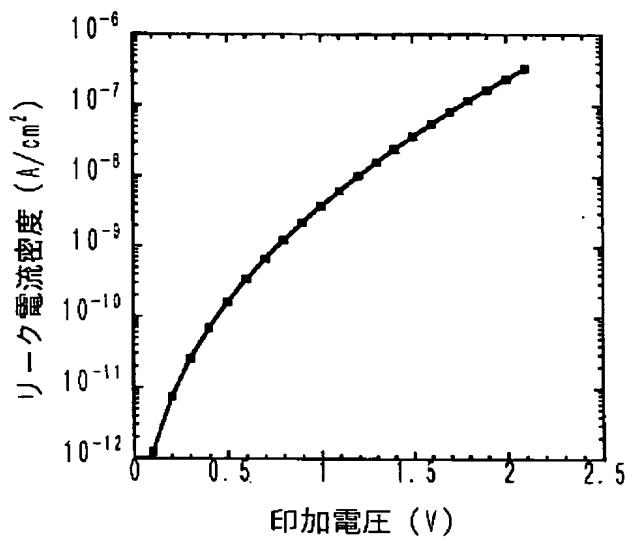
【図8】



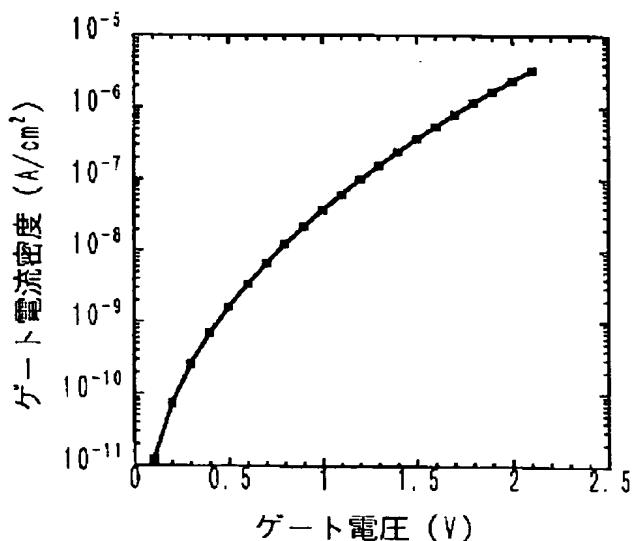
【図9】



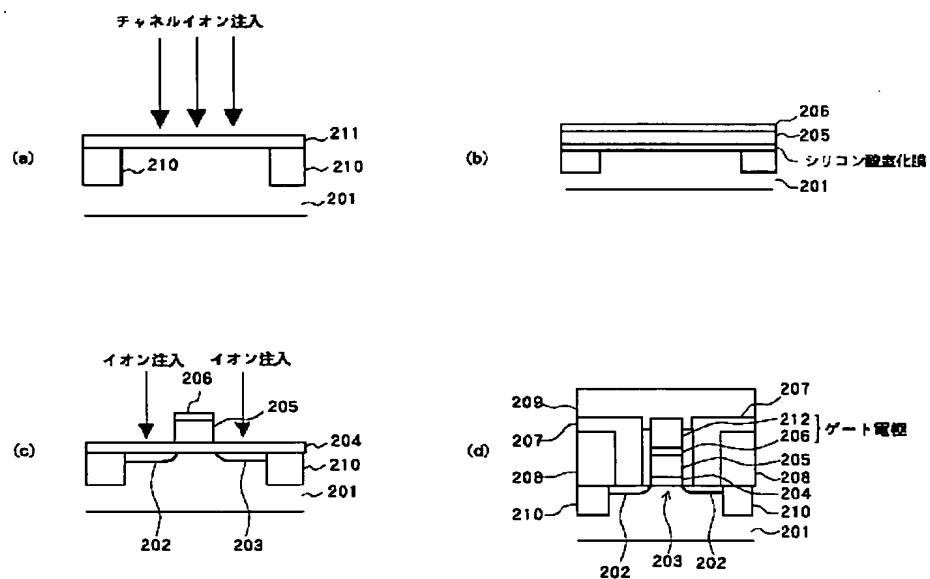
【図10】



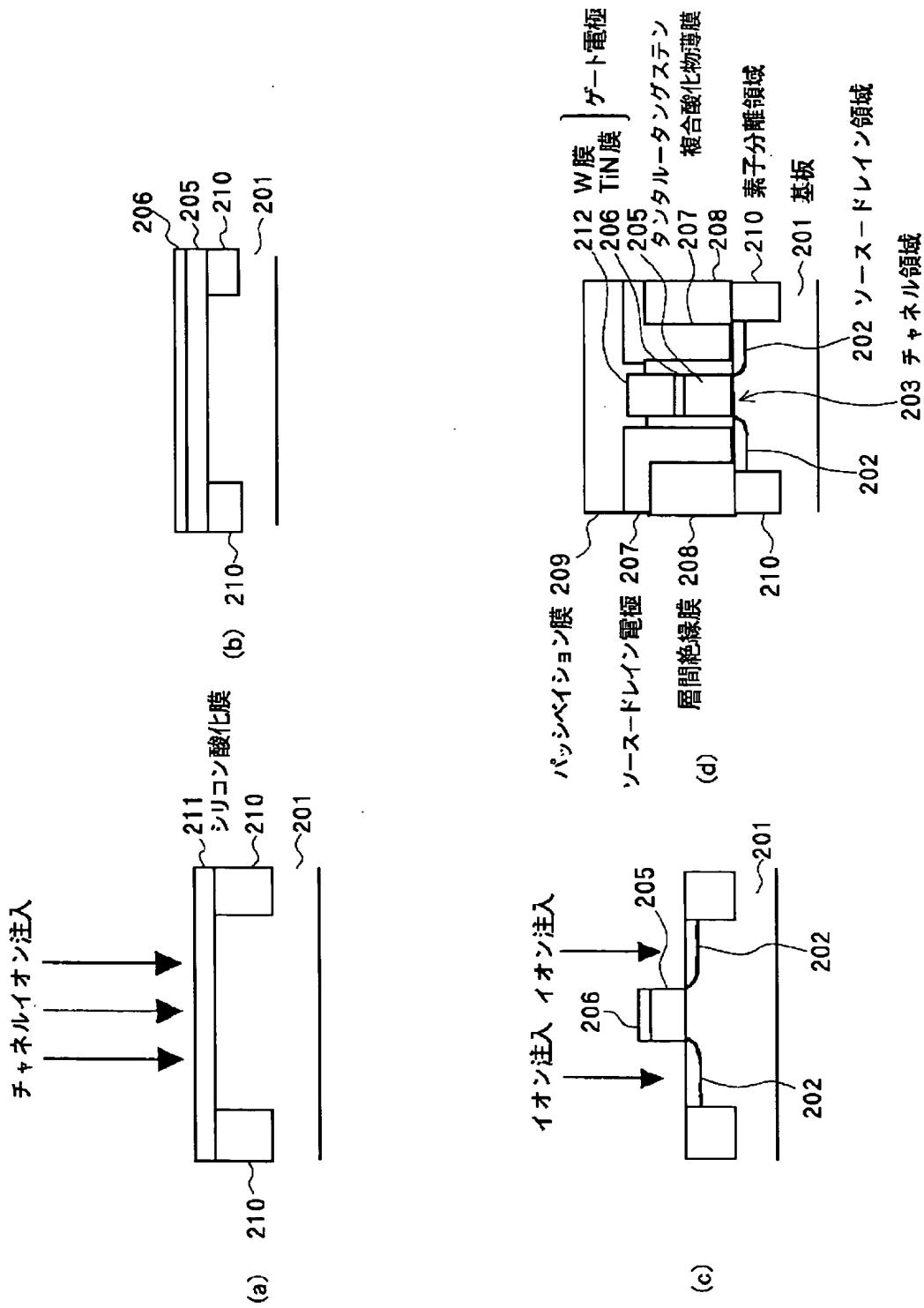
【図13】



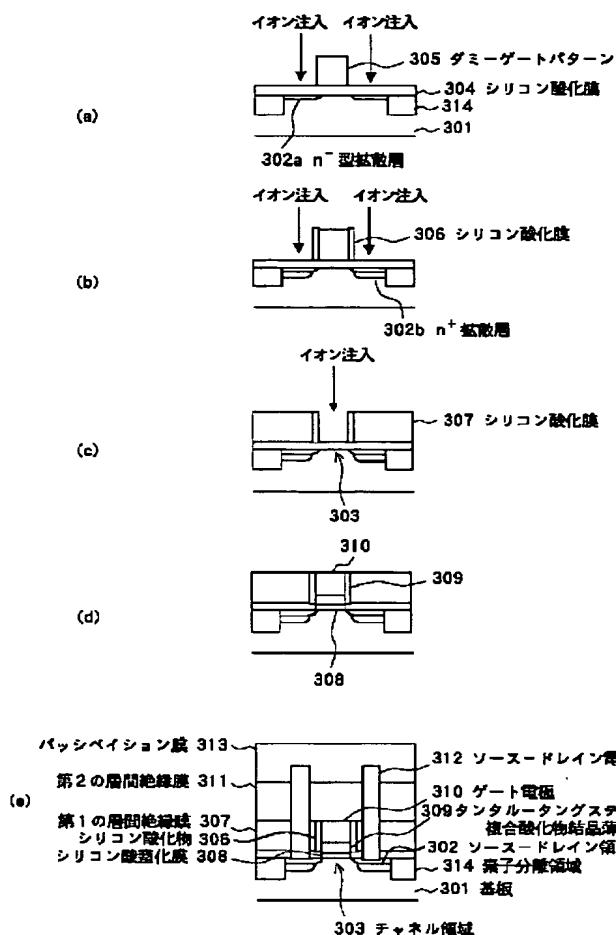
【図12】



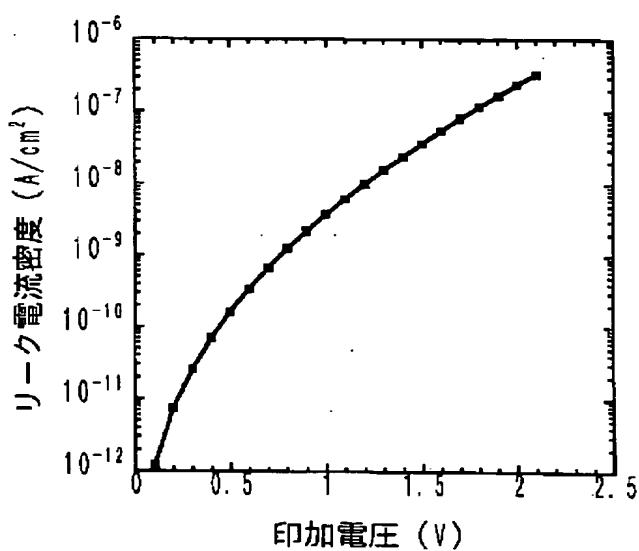
【図11】



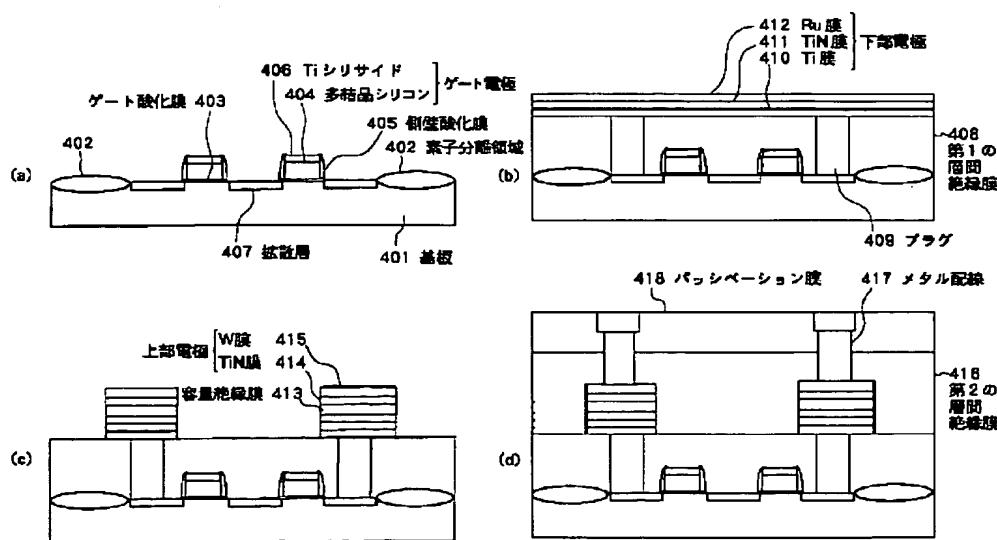
【図14】



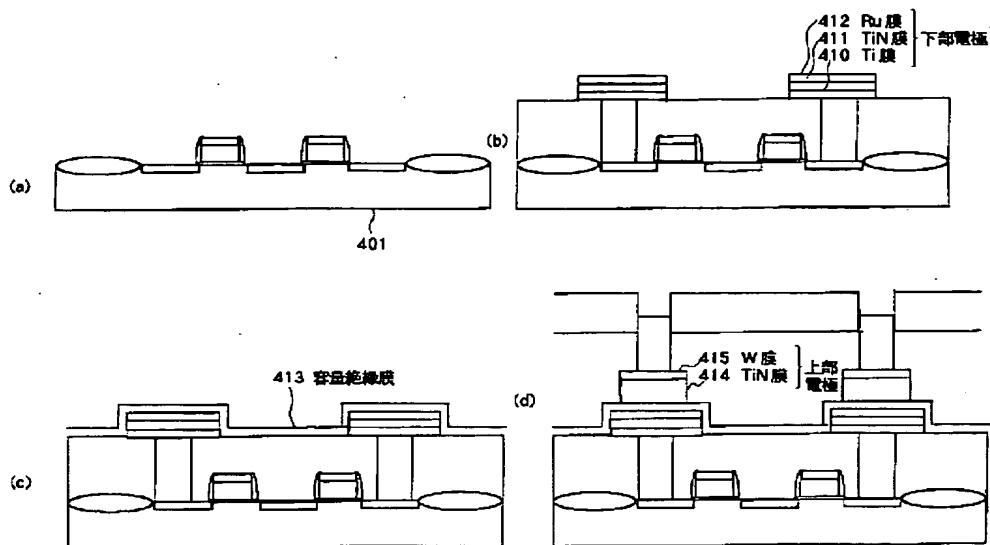
【図17】



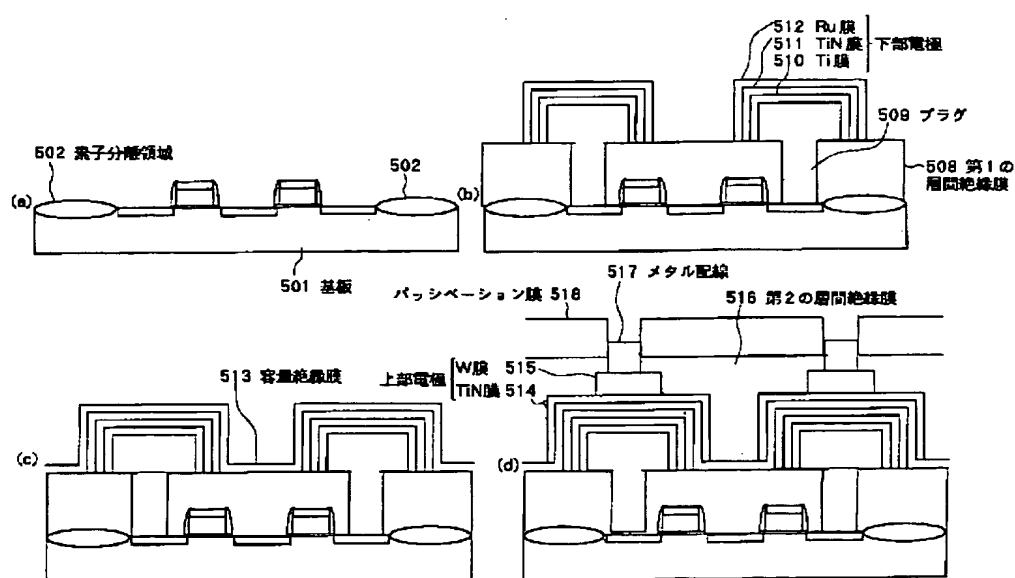
【図15】



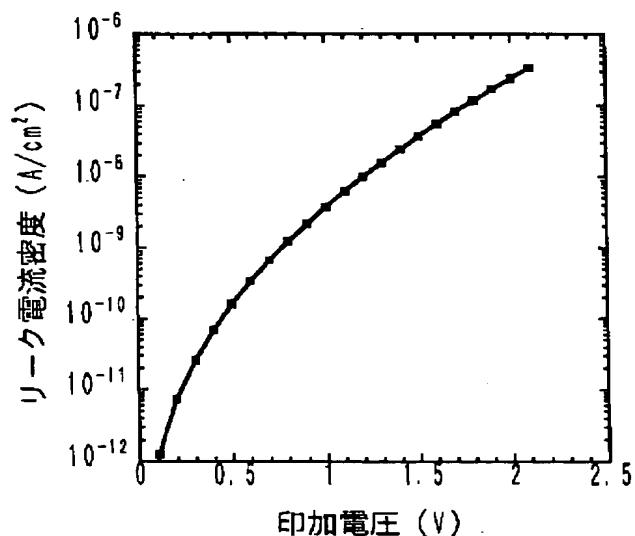
【図16】



【図18】



【図19】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード(参考)
H O 1 L 21/316		H O 1 L 21/316	Y 5 F 0 8 3
C O 1 G 41/00		C O 1 G 41/00	A 5 F 1 0 3
H O 1 B 3/00		H O 1 B 3/00	F 5 G 3 0 3
3/12	3 1 2	3/12	3 1 2
H O 1 L 21/203		H O 1 L 21/203	S
21/283		21/283	C
21/31		21/31	B
27/108		27/10	6 5 1
21/8242			6 7 1 Z
29/78		29/78	3 0 1 G

F ターム(参考) 4G048 AA03 AB01 AC08 AD02 AE05
4M104 BB04 BB06 BB30 CC05 DD03
DD42 DD44 DD45 DD79 EE03
EE16 EE17 FF16 GG16 HH20
5F040 EC01 EC04 EC12 ED01 ED03
ED04 ED05 EF02 EK05 EL02
FA02 FB02 FC01 FC10 FC28
5F045 AA06 AB31 AC08 AC09 AC11
AC16 AD07 AD08 AD09 AD10
AD11 AE19 AF03 AF08 BB16
CA05 CA15 DC51 DC63 DP03
EK01 HA16
5F058 BA09 BA11 BA20 BC03 BC04
BD01 BD04 BD05 BD06 BD10
BD15 BF04 BF22 BF29 BF55
BF59 BF62 BF71 BF78 BH01
BH03 BH16 BJ02
5F083 AD21 AD49 JA05 JA06 JA19
JA35 JA37 JA38 JA40 JA43
JA45 JA53 JA56 MA06 MA17
PR03 PR16 PR21 PR22 PR33
PR34 PR40
5F103 AA08 BB22 DD27 DD28 GG02
GG03 HH03 LL08 LL14 NN01
PP03 RR05
5G303 AA07 AB01 AB06 BA03 CA01
CB33 CB37 CB43